

Erik Fischer

Analytische Modellierung zur Entwurfsraumexploration von
Verbindungsnetzwerken in Vielkernprozessoren

Beiträge aus der Informationstechnik

Mobile Nachrichtenübertragung

Nr. 74

Erik Fischer

**Analytische Modellierung zur
Entwurfsraumexploration von
Verbindungsnetzwerken in Vielkernprozessoren**

 VOGT

Dresden 2015

Bibliografische Information der Deutschen Nationalbibliothek
Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der
Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im
Internet über <http://dnb.dnb.de> abrufbar.

Bibliographic Information published by the Deutsche Nationalbibliothek
The Deutsche Nationalbibliothek lists this publication in the Deutsche
Nationalbibliografie; detailed bibliographic data are available on the
Internet at <http://dnb.dnb.de>.

Zugl.: Dresden, Techn. Univ., Diss., 2015

Die vorliegende Arbeit stimmt mit dem Original der Dissertation
„Analytische Modellierung zur Entwurfsraumexploration von
Verbindungsnetzwerken in Vielkernprozessoren“ von Erik Fischer überein.

© Jörg Vogt Verlag 2015
Alle Rechte vorbehalten. All rights reserved.

Gesetzt vom Autor

ISBN 978-3-938860-91-5

Jörg Vogt Verlag
Niederwaldstr. 36
01277 Dresden
Germany

Phone: +49-(0)351-31403921
Telefax: +49-(0)351-31403918
e-mail: info@vogtverlag.de
Internet : www.vogtverlag.de

Technische Universität Dresden

**Analytische Modellierung zur
Entwurfsraumexploration von
Verbindungsnetzwerken in Vielkernprozessoren**

Erik Fischer

von der Fakultät Elektrotechnik und Informationstechnik
der Technischen Universität Dresden

zur Erlangung des akademischen Grades

Doktoringenieur

(Dr.-Ing.)

genehmigte Dissertation

Vorsitzender: Prof. Dr. Sc. Techn. Habil. Frank Ellinger

Gutachter: Prof. Dr.-Ing. Dr. h.c. Gerhard Fettweis

Prof. Dr.-Ing. Holger Blume

Tag der Einreichung: 26.01.2015

Tag der Verteidigung: 02.07.2015

Danksagung

Während meiner Zeit am Vodafone-Stiftungslehrstuhl für mobile Nachrichtensysteme konnte ich an einigen sehr interessanten Projekten mitwirken, wie dem Aufbau des EASY-C Mobilfunk-Testbetts oder der Entwicklung des Mobilfunkchip Tomahawk 2, und im Rahmen meiner wissenschaftlichen Forschung viele neue Erkenntnisse sammeln.

Für diese Chance möchte ich zuallererst meinem Doktorvater Prof. Gerhard Fettweis danken, der mir mit seinen Tipps und Anregungen stets geholfen hat, den rechten Weg zu finden und meine Ziele nicht aus den Augen zu verlieren.

Insbesondere möchte ich auch meinen Eltern, Schwestern und meiner Familie danken, die mich von Anfang an bei meinem Vorhaben unterstützt haben. In meiner alten Berliner Heimat und dem wunderschönen Gartengrundstück am Müggelsee boten sie mir jeder Zeit eine angenehme Rückzugsmöglichkeit, um zu entspannen und neue Energie zu tanken.

Weiterhin gilt mein Dank meinen ehemaligen Kollegen Falko Guderian, Albrecht Fehske, David Öhmann, Markus Winter, und Emil Matus für die produktive und motivierende Zusammenarbeit sowie für die Begutachtung meiner Dissertation.

Nicht zuletzt möchte ich auch meinen guten Freundinnen und ebenfalls ehemaligen Kolleginnen Ainoa Navarro und Xiaoyan Jia danken, die mich in schwierigeren Phasen stets aufheitern konnten. Die täglichen Mensagänge, gemeinsamen Ausflüge und Grillabende waren immer eine willkommene Abwechslung, um ein bisschen abzuschalten und den Kopf mal wieder freizubekommen. Die vielen schönen und lustigen Erlebnisse während unserer gemeinsamen Zeit am Lehrstuhl werden mir noch lange in Erinnerung bleiben.

Abstract

The constantly increasing demands of modern applications for mobile communication systems are shifting the development of contemporary *multi*-core processors with up to a hundred of cores into the region of *many*-core processors, which integrate thousands of cores on a single chip. With increasing number and heterogeneity of the processor cores, the application specific design of the interconnection network, called Network-on-Chip, will become a cumbersome task for the developer. Therefore, an automated design space exploration will be necessary that requires appropriate simulation models. Compared to numerical simulations, analytic models promise a flexible and high-performance solution that provides a comprehensive understanding of the behavior of a network-on-chip without conducting extensive simulations.

This thesis introduces different queueing-theoretic models as research results for analyzing data traffic in a network-on-chip. In contrast to existing approaches, the special properties of a network-on-chip like arbitration, blocking, and congestion are considered. A considerable contribution is the high accuracy and performance of the developed models with a maximum error below ten percent which comes close to the quality of numerical simulations. A high flexibility and easy adaptability of the model is an important research contribution to fulfill the high requirements of the design space exploration for many-core processors.

In the following, the thesis and its scientific contribution are subdivided into the three research parts *basic model*, *model extensions*, and *exploration results*. At the beginning of the first part, the hierarchical model structure is introduced. The partition of the problem into subproblems enables an efficient, analytic computation of the queueing models and provides an easy adaptability and extensibility. Based on this holistic model view, the mathematical description of the network model is derived. The high flexibility of the analytic network model, which is developed in this thesis, is a necessary requirement for the network-on-chip design of many-core processors.

The first research part is closed by the derivation of a router model. A very efficient computation is enabled by assuming infinite buffer space, a simple first-come-first-serve (FCFS) service time model as well as a special aggregation method. Nevertheless, this model is able to achieve a very high accuracy when it is applied for the purpose of latency estimation with an average estimation error of about three percent.

The second research part describes extensions of the basic model that have been introduced before. These extensions allow to trade computational effort off against analysis accuracy to cope with varying application domains and system requirements. An important extension is an empirical service time model that allows to represent the popular round-robin arbitration scheme. With the applied experimental set-up, the average estimation error could be reduced by half compared to the FCFS service time model. To date, an explicit consideration of the service time estimation was not done in a queueing-theoretic model for network-on-chip. Furthermore, an extended network model is introduced within the second research part. Therein, blocking and congestion in the network are considered based on a finite buffer assumption. This extension is able to achieve high analysis accuracy with a maximum error of seven percent which confirms the capability of this scientific contribution.

The third scientific part demonstrates the application of the previous scientific contributions for analyzing network-on-chips in many-core processors. Within the scope of a detailed design space exploration, the models are extensively employed for the analysis of different topologies and traffic scenarios. The analysis results are intended to support the designers of future many-core processors and serve as guideline and decision guidance. Amongst others, it has been shown to which extend appropriate topologies and communication aware scheduling are able to counter the scaling problem of the network-on-chip. The investigations prove that it is possible to keep the per-core-performance of a future network-on-chip for 4096 cores at the level of contemporary network-on-chip solutions which are about two magnitudes smaller.

Zusammenfassung

Die stetig steigenden Anforderungen moderner Anwendungen für mobile Nachrichtensysteme verschieben in naher Zukunft die Entwicklung heutiger *Mehrkernprozessoren* mit bis zu hundert Prozessorkernen in den Bereich von *Vielkernprozessoren*, die mehrere tausend Kerne auf einem einzigen Chip integrieren. Mit zunehmender Anzahl und Heterogenität der Prozessorkerne wird jedoch der applikationsspezifische Entwurf des Verbindungsnetzwerks, *Network-on-Chip* genannt, nur noch sehr schwer durch den Entwickler zu bewältigen sein. Dies macht eine automatisierte Entwurfsraumexploration erforderlich, der eine geeignete Modellierung zugrunde liegen muss. Im Vergleich zu numerischen Simulationen stellen analytische Modelle eine flexible und leistungsstarke Lösung dar, um ein umfassendes Verständnis vom Verhalten eines Network-on-Chip gewinnen zu können.

Die vorliegende Arbeit stellt mehrere bedientheoretische Modelle als Forschungsergebnisse zur Untersuchung von Datenverkehr in einem Network-on-Chip vor. Im Gegensatz zu existierenden bedientheoretischen Ansätzen werden dabei die speziellen Eigenschaften eines Network-on-Chip, unter anderem Arbitrierung, Blockierung und Verkehrsrückstau, berücksichtigt. Ein bedeutender Forschungsbeitrag liegt in der hohen Genauigkeit und Leistungsfähigkeit des entwickelten Modells und einem maximalen Fehler von deutlich unter zehn Prozent, was nahe an die Qualität numerischer Simulationen heranreicht. Eine hohe Flexibilität und leichte Parametrisierbarkeit des Modells stellen eine wichtige Forschungsleistung dar, um den hohen Anforderungen der Entwurfsraumexploration von Vielkernprozessoren genügen zu können.

Die Arbeit und deren wissenschaftlicher Beitrag werden im Folgenden in die drei Forschungsteile *Basismodell*, *Modellerweiterungen* und *Explorationsergebnisse* untergliedert. Zu Beginn des ersten Teils wird die hierarchische Modellstruktur vorgestellt. Die Zerlegung des Problems in Teilprobleme erlaubt eine effiziente, analytische Berechnung der Bedienmodelle und gewährleistet eine leichte Anpassbarkeit und Er-

weiterbarkeit. Von dieser ganzheitlichen Modellsicht ausgehend, wird die mathematische Beschreibung des Netzwerkmodells hergeleitet. Die hohe Flexibilität des in dieser Arbeit entwickelten analytischen Netzwerkmodells ist notwendige Voraussetzung für den Network-on-Chip-Entwurf von Vielkernprozessoren. Der erste Forschungsteil wird durch die Herleitung eines Router-Modells abgeschlossen. Die Annahmen eines unbegrenzten Pufferspeichers, eines einfachen FCFS-Bedienzeitmodells und einer speziellen Aggregationsmethode erlauben eine sehr effiziente Berechnung. Dieses Modell erzielt dennoch eine sehr hohe Genauigkeit bei der Latenzschätzung mit einem mittleren Schätzfehler von ca. drei Prozent.

Der zweite Forschungsteil widmet sich den Erweiterungen des zuvor beschriebenen Basismodells. Diese Ergänzungen erlauben die Abwägung von Rechenaufwand und Analysegenauigkeit, um unterschiedlichen Einsatzgebieten und Systemanforderungen zu genügen. Eine wesentliche Erweiterung stellt ein empirisches Bedienzeitmodell dar, um das weit verbreitete Round-Robin Arbitrierungsverfahren abbilden zu können. In der aufgestellten Versuchsanordnung ließ sich der mittlere Schätzfehler gegenüber dem FCFS-Bedienzeitmodell halbieren. Die explizite Betrachtung und Modellierung einer Bedienzeitschätzung wurde bis dato noch nicht in einem bedientheoretischen Modell für Network-on-Chip vorgenommen. Darüber hinaus wird im zweiten Forschungsteil ein erweitertes Netzwerkmodell vorgestellt. Darin werden, ausgehend von einem begrenzten Pufferspeicher, zusätzlich Rückstau und Blockierung im Netzwerk berücksichtigt. Diese Erweiterung erzielt eine hohe Analysegenauigkeit mit einem maximalen Fehler von sieben Prozent und untermauert die Leistungsfähigkeit des Forschungsbeitrags.

Der dritte Forschungsteil widmet sich der Anwendung der zuvor entwickelten Forschungsbeiträge zur Analyse von Network-on-Chips in Vielkernprozessoren. In einer detaillierten Entwurfsraumexploration kommen die Modelle für die Analyse verschiedener Topologien und Verkehrsszenarien umfassend zum Einsatz. Die Analyseergebnisse sollen dem Designer zukünftiger Vielkernprozessoren als Orientierungs- und Entscheidungshilfe dienen. Unter anderem wurde gezeigt, inwieweit sich dem Skalierungsproblem durch angepasste Topologien und kommunikationsbewusstes Scheduling entgegenwirken lässt. Die Untersuchungen belegen, dass auch in zukünftigen Prozessorsystemen mit 4096 Kernen, was etwa dem hundertfachen eines heutigen Systems entspricht, die Leistungsfähigkeit auf dem Niveau bestehender Network-on-Chips gehalten werden kann.

Inhaltsverzeichnis

Abstract/Zusammenfassung	ix
Inhaltsverzeichnis	xiii
Abbildungsverzeichnis	xvii
Tabellenverzeichnis	xxii
Liste der Algorithmen	xxiv
Symbolverzeichnis	xxvi
Abkürzungsverzeichnis	xxxii
1. Einleitung	1
1.1. Trend vom Mehr- zum Vielkernprozessor	2
1.2. Network-on-Chip als Verbindungsnetzwerk	4
1.3. Entwurfsraumexploration	6
1.4. Herausforderungen der Modellierung von Network-on-Chip	7
1.5. Übersicht und wissenschaftlicher Beitrag der Arbeit	10
2. Netzwerkgrundlagen und Bedientheorie	13
2.1. Network-on-Chip als Verbindungsnetzwerk	13
2.1.1. Topologie	13
2.1.1.1. 3D Network-in-Chip-Stack	15
2.1.2. Verkehr im Network-on-Chip	16
2.1.3. Network-on-Chip (NoC) Router	19

2.2.	Bedientheorie	20
2.2.1.	Bediensystem	20
2.2.1.1.	Kendall-Notation	23
2.2.2.	Markov-Systeme	23
2.2.3.	Warteschlangennetze	26
2.2.3.1.	Netzwerke von M/G/1/K Systemen	26
2.2.4.	Diskrete Bediensysteme	27
3.	Analytische Modelle für NoC im Vielkernprozessor	31
3.1.	Überblick und Modellhierarchie	35
3.2.	Systemmodell	37
3.2.1.	Modellannahmen auf Netzwerkebene	37
3.2.2.	Modellannahmen auf Router-Ebene	38
3.3.	Netzwerkmodell	39
3.4.	Bedientheoretisches Router-Modell für first-come first-serve Arbitrierung	44
3.4.1.	Herleitung	45
3.4.2.	Performance-Analyse	52
3.5.	Empirisches Bedienzeitmodell für round-robin Arbitrierung	57
3.5.1.	Herleitung	59
3.5.2.	Integration in bedientheoretisches Router-Modell	71
3.5.3.	Performance-Analyse	72
3.6.	Bedientheoretisches Router-Modell unter Berücksichtigung begrenzter Kapazität der Eingangspuffer	76
3.6.1.	Herleitung	77
3.6.2.	Verkettung von Routern	80
3.6.3.	Blockierung und Rückstau in Netzwerken	85
3.6.4.	Performance-Analyse	90
3.7.	Zusammenfassung	93
4.	Entwurfsraumexploration von NoC-Topologien im Vielkernprozessor	95
4.1.	Bewertungskriterien	98
4.2.	3D Topologien und Network-in-Chip-Stack	100
4.2.1.	Modellierung von TSVs	101
4.2.2.	Modellierung heterogener Verbindungen	102

4.2.3.	Analyse des regulären 3D-Gitters	104
4.2.3.1.	Untersuchung A-1: kleinere reguläre 3D-Gitter	104
4.2.3.2.	Untersuchung A-2: Skalierung auf 4096 Module	107
4.2.4.	Analyse des irregulären 3D Network-in-Chip-Stack	110
4.2.4.1.	Untersuchung A-3: TSV-Anzahl und TSV-Bandbreite	110
4.2.4.2.	Untersuchung A-4: kapazitive Kopplung von TSVs	114
4.3.	Hierarchische Netzwerktopologien	117
4.3.1.	Untersuchung B-1: kleinere hierarchische Topologien	119
4.3.2.	Untersuchung B-2: Skalierung auf 4096 Module	123
4.3.3.	Untersuchung B-3: Bandbreite von Inter-Cluster-Links	127
4.4.	Abschlussbetrachtung	130
5. Zusammenfassung und Ausblick		133
5.1.	Zusammenfassung	133
5.2.	Ausblick	135
A. Erweiterte Grundlagen		139
A.1.	Network-on-Chip	139
A.1.1.	Klassische Network-on-Chip Topologien	139
A.1.2.	Irreguläre Topologien	141
A.1.3.	2D-Gitter	141
A.1.4.	Hierarchische Topologien	142
A.1.5.	Routing-Verfahren	144
A.1.6.	Arbitrierungsverfahren	146
A.1.7.	Flusskontrolle	147
A.2.	Bedientheorie	148
A.2.1.	Markov-Kette	149
A.2.2.	M/M/1 Bediensystem	151
A.2.3.	Netzwerke von Markov-Systemen	153
A.2.4.	Diskrete Bediensysteme	155
B. Ergänzende Performance-Analysen		157
B.1.	Pufferdimensionierung	157
B.2.	Analyse von Pfadlatenzen	163

C. Analyse klassischer 2D Topologien	169
C.1. Untersuchung C-1: kleinere 2D-Topologien	169
C.2. Untersuchung C-2: Skalierung auf 4096 Module	172
C.3. Untersuchung C-3: Einfluss von Kommunikationslokalität	174

Abbildungsverzeichnis

1.1. Beispiel einer heterogenen Vielkernarchitektur angeordnet als hierarchische, irreguläre Mesh-Topologie.	5
1.2. Schematische Einordnung der Methoden zur Modellierung von NoC.	8
2.1. Topologien für 3D Network-in-Chip-Stack.	15
2.2. Architektur eines Routers für Best effort (BE) Verkehr.	19
2.3. Schematische Darstellung eines Bediensystems, dem grundlegenden Systemmodell der Bedientheorie.	21
2.4. „Gedächtnislosigkeit“ der Exponentialverteilung [Kle75].	24
2.5. Vergleich der Zustandsverteilung eines GEOM/GEOM/1 und M/M/1 Bediensystems unter verschiedenen λ und μ	28
3.1. Einordnung und Abgrenzung des bedientheoretischen NoC Modells	34
3.2. Struktur des NoC Modells	35
3.3. Minimalbeispiel zur Anwendung des Netzwerkmodells (zur Notation siehe Tabelle 3.2).	40
3.4. Das ursprüngliche Routermodell wird in ein äquivalentes Warteschlangenmodell überführt, wobei gegenseitige Abhängigkeiten zwischen den Bedienraten der Eingangspuffer bestehen. Diese Abhängigkeiten werden durch ein Näherungsverfahren, basierend auf der Aggregation von Zuständen, aufgelöst.	45
3.5. Bsp. eines zwei-dimensionalen Markovmodells für einen Router mit zwei Eingängen und Zerlegung der Markovkette in reversible Teilketten.	47
3.6. Beispiel einer Markovkette über die Makrozustände eines Routers mit zwei Eingängen.	51
3.7. Topologie und Verkehrsszenario des ersten Versuchs zur Evaluierung des analytischen NoC Modells (M=Modul, R=Router).	53

3.8. Untersuchungsergebnisse für Kette aus vier Routern zur Analyse der mittleren Paketlatenz im Vergleich mit einer taktgenauen numerischen Simulation.	54
3.9. Untersuchungsergebnisse für eine 4x4 2D-Gittertopologie mit anwendungsspezifischem Multimedia-Verkehr zur Analyse der mittleren Paketlatenz im Vergleich mit einer taktgenauen numerischen Simulation. .	56
3.10. Vergleich der Prognosen der mittleren Paketlatenz auf Basis eines FCFS- und RR-Bedienzeitmodells anhand eines 4x4 2D-Gitters bei gleichverteiltem Verkehr.	58
3.11. Veranschaulichung der binären Hilfsmatrix \mathbf{B} anhand eines Routers mit drei Eingängen.	63
3.12. Motivationsbeispiel: Verkehrslastabhängigkeit der Kollisionsauflösung bei round-robin (RR) Arbitrierung	64
3.13. Beispiel zur Anwendung von Gleichung (3.34) zur Berechnung der Kollisionsauflösungswahrscheinlichkeit	65
3.14. Motivationsbeispiel: Anpassung zur Modellierung der Pfadauslastung bei Berechnung der Kollisionsauflösungswahrscheinlichkeit	66
3.15. Konvergenz-Plot zur iterativen Bedienzeitschätzung über 10000 zufällig gewählte Verkehrsszenarios für einen Router mit vier Eingängen.	70
3.16. Histogramm zur iterativen Bedienzeitschätzung über die Anzahl benötigter Iterationen bei 10000 zufällig gewählten Verkehrsszenarios.	70
3.17. Untersuchungsergebnisse zu den Bedienzeiten des Nord- (oben), Ost- (mitte) und Modul- (unten) Eingangs eines zentralen Routers mit fünf Eingängen in einem 8×8 NoC bei gleichverteiltem Verkehr.	73
3.18. Untersuchungsergebnisse zur mittleren Paketlatenz in einem 8×8 2D-Gitter mit anwendungsspezifischem Verkehr für verschiedene Verkehrsangebote.	75
3.19. Anhand eines einfachen Beispiels zur Zerlegung eines einzelnen Puffers soll die Machbarkeit der unabhängigen Analyse von Routern studiert werden.	81
3.20. In Netzwerken mit begrenzter Pufferkapazität existiert eine wechselseitige Abhängigkeit zwischen akzeptiertem Verkehr A und Rückstauwahrscheinlichkeit ϕ	87

3.21. Das Rückstaumodell verwendet eine Iteration auf Netzwerkebene zur Berücksichtigung der wechselseitigen Abhängigkeiten zwischen akzeptiertem Verkehr und Rückstauwahrscheinlichkeit.	88
3.22. Simulationsergebnisse zur Bewertung der Leistungsfähigkeit des analytischen M/G/1/K Modells.	91
4.1. Vergleich des modifizierten Modell A und Modell B für ein 4x4 2D-Gitter bei gleichverteiltem Verkehr ($K = 4$).	97
4.2. Einfluss von kapazitiver Kopplung auf die Bandbreite einer einzelnen TSV und die Gesamtbandbreite zwischen benachbarten Chips im 3D-Chip-Stapel.	102
4.3. Beispiel eines irregulären 3D-Gitters: Modellierung höherer Taktung von Through Silicon Via (TSV)-Gateways durch Anpassung der ausgangsspezifischen Bedienzeiten (Bedienzeiten an Verbindungen annotiert). . .	104
4.4. Analyseergebnisse für reguläre 3D-Gitter bis 216 Module auf Basis von Modell B und Vergleich mit Modell A.	106
4.5. Analyseergebnisse zur Skalierung regulärer 3D-Gitter unter verschiedenen Verkehrsszenarien (Modell A).	109
4.6. Vergleich eines regulären 3D-Gitters mit 2D-Topologien für 4096 Module (Modell A).	110
4.7. TSV-Verteilung auf einem Chip mit 16x16 Routern für 144, 64 und 16 TSVs (weiß=TSV).	111
4.8. Analyseergebnisse zur Leistungsfähigkeit eines irregulären 16x16x16 3D-Gitters mit heterogenen Verbindungen (Modell A).	113
4.9. Betrachtung der Komplexität eines irregulären 16x16x16 3D-Gitters als Kompromiss aus Performanz (Latenz) und Chipfläche (Puffer).	114
4.10. Analyseergebnisse zur Leistungsfähigkeit eines irregulären 3D-Gitters unter Berücksichtigung kapazitiver Kopplungseffekte (Modell A).	116
4.11. Beispiel für die Struktur der analysierten hierarchischen Topologien. . .	118
4.12. Analyseergebnisse für hierarchische Topologien bis 256 Module auf Basis von Modell B und Vergleich mit Modell A.	121
4.13. Akzeptanzrate hierarchischer Topologien bis 256 Module bei Bandbreitenskalierung der Inter-Cluster-Link (ICL)s um den Faktor 4.	122

4.14. Analyseergebnisse zur Skalierung hierarchischer Topologien auf 4096 Module und Einfluss der Clustergröße unter gleichverteiltem Verkehr (Modell A).	124
4.15. Analyseergebnisse zur Skalierung hierarchischer Topologien auf 4096 Module und Einfluss der Clustergröße unter 50%-Cluster-Verkehr (Modell A).	125
4.16. Analyseergebnisse zur ICL-Bandbreite bei hierarchischen Topologien für Vielkernprozessoren mit 4096 Modulen (Modell A).	128
4.17. Vergleich eines 3D-Cluster-Gitters (16x16x16,cl=4x4) unter lokalem Verkehr (3D-lokal (20%)/cluster (50%)) mit einem klassischen 8x8 2D-Gitter bei gleichverteiltem Verkehr.	131
A.1. Überblick klassischer NoC Topologien (R=Router, M=Modul).	140
A.2. Verbindungsschema einer Flattened Butterfly Topologie mit 16 Knoten exemplarisch für Knoten 0 (grün) und 1 (blau).	144
A.3. Beispiele zur Arbitrierung mittels RR und First-come-first-serve (FCFS).	146
A.4. Beispiel einer Markov-Kette für ein M/M/1 Bediensystem [Kle75].	149
A.5. Globale und lokale Gleichgewichtsbedingung (GGB) am Beispiel der M/M/1 Markov-Kette.	150
A.6. Schema zur Herleitung eines Abgangsprozesses am Beispiel eines M/M/1 Bediensystems.	153
B.1. Verkehrsschema des zweiten Versuchs einer 4x4 2D-Gittertopologie mit anwendungsspezifischem Verkehr [HM05].	158
B.2. Anordnung der Prozessorkerne in einer 4x4 2D-Gittertopologie (R=Router) [OBM10]. Die annotierten Zahlen stellen den Index des verbundenen Eingangspuffers dar. Deren Farbkodierung repräsentiert die Nutzungswahrscheinlichkeit ($P[x \geq 1]$) der Eingangspuffer (rot=hoch, gelb=mittel, blau=gering) und enthüllt somit die Verkehrsengpässe im Netzwerk.	158
B.3. Analyse der Überlaufwahrscheinlichkeit eines einzelnen Eingangspuffers in einer 4x4 2D-Gittertopologie mit generischem Multimedia-Verkehr im Vergleich zu einer taktgenauen Simulation.	160
B.4. Pufferdimensionierung einer 4x4 2D-Gittertopologie bei gegebenem Verkehrsangebot nahe der Netzwerksaturation.	161

B.5. Kommunikations-Task-Graphen der fünf ausgewählten Multimedia- Applikationen nach [JMBD04].	164
B.6. Zufälliges Task-Mapping für fünf ausgewählte Multimedia- Applikationen nach [JMBD04].	165
B.7. Mittlere Pfadlatenzen nach Routing-Distanzen (# hops) aggregiert bei zwei Verkehrslasten nahe der Netzwerksaturation.	166
C.1. Analyseergebnisse klassischer 2D-Topologien bis 256 Knoten auf Basis von Modell B und Vergleich mit Modell A.	170
C.2. Analyseergebnisse zur Skalierung klassischer 2D-Topologien bei gleich- verteiltem Verkehr (Modell A).	172
C.3. Analyseergebnisse zur Leistungsfähigkeit klassischer 2D-Topologien bei lokal begrenztem Verkehr (Modell A).	175

Tabellenverzeichnis

3.1. Stand der Technik: Vergleich bedientheoretischer Modelle für NoC.	33
3.2. Eingabeparameter und Notation des Netzwerkmodells.	41
3.3. Simulationsparameter zur Evaluierung des NoC Modells.	53
3.4. Überblick der Notation für die Bedienzeitschätzung	60
3.5. Simulationsparameter zur Evaluierung der RR Bedienzeitschätzung. . .	72
3.6. Parameter und Notation des M/G/1/K Modells.	78
3.7. Überblick der Simulationsparameter zur Bewertung der Leistungsfähig- keit des analytischen M/G/1/K Modells.	90
4.1. Einheitliche Simulationsparameter zur Analyse der Leistungsfähigkeit von NoC für Vielkernprozessoren.	98
4.2. Parametrisierung des TSV-Modells nach [WWP ⁺ 09].	101
4.3. Parameter zur Analyse A-1.	105
4.4. Parameter zur Analyse A-2.	107
4.5. Parameter zur Analyse A-3.	111
4.6. Skalierung der TSV-Bandbreite aufgrund kapazitiver Kopplung.	115
4.7. Parameter zur Analyse A-4.	115
4.8. Parameter zur Analyse B-1.	120
4.9. Parameter zur Analyse B-2.	123
4.10. Parameter zur Analyse B-3.	127
A.1. Vergleich klassischer NoC Topologien	140
C.1. Parameter zur Analyse C-1.	169
C.2. Parameter zur Analyse C-2.	172
C.3. Parameter zur Analyse C-3.	174

Liste der Algorithmen

1. Iterative Bedienzeitschätzung 69

Symbolverzeichnis

A_i^n	Akzeptanzrate bzgl. Eingang i und Routerinstanz n
B	Blockierungswahrscheinlichkeit
\bar{N}_K	Mittlere Anzahl Flits im Bediensystem (ggf. mit Pufferkapazität K)
N_C^o	Anzahl der um Ausgang o konkurrierenden Eingänge
\mathfrak{P}_i^n	Vorgängerliste der Routerinstanz n
$\mathcal{S}(\mathbf{y})$	Menge der Router-Zustände des Makrozustands \mathbf{y}
\mathfrak{S}_o^n	Nachfolgerliste der Routerinstanz n
T	Mittlere Verweildauer eines Flits im Bediensystem
W_i	Mittlere Warteverzögerung eines Flits im Eingangspuffer i
α_i^n	Wichtungsfaktor bzgl. Eingang i und Routerinstanz n zur Steuerung der Konvergenz des iterativen Netzwerkmodells
λ_i^n	Ankunftsrate (Forderungsrate) am Eingang i der Routerinstanz n
μ_i^n	Mittlere Bedienrate am Eingang i der Routerinstanz n
ϕ_i^n	Rückstauwahrscheinlichkeit von Eingang i der Routerinstanz n
q_K	Ausläuferwahrscheinlichkeit (engl. tail probability) bei Puffertiefe K
ρ_i	Auslastung des Eingangspuffers i
\bar{x}_i^n	Mittlere Bedienzeit am Eingang i der Routerinstanz n
$\bar{\xi}_o^n$	Effektive mittlere Bedienzeit von Ausgang o der Routerinstanz n (zwecks Modellierung von Rückstau und heterogener Link-Bandbreite)

Konstanten

c_x^2	Quadrierter Variationskoeffizient der Bedienzeitverteilung
K	Pufferkapazität
N_I^n	Anzahl Eingänge der Routerinstanz n
N_M	Anzahl Module

N_N	Anzahl Knoten (Module+Router)
N_O^n	Anzahl Ausgänge der Routerinstanz n
N_R	Anzahl Router
s	Parameter zur Charakterisierung der Bedienzeitverteilung

Matrizen, Vektoren

$\mathbf{B} = [b_{m,n}]$	Binäre Hilfsmatrix über Kollisionsfälle m und Eingänge n
$\mathbf{C} = [c_{i,j}]$	Matrix der Kollisionswahrscheinlichkeiten eines Routers
$\mathbf{D} = [d_{i,o,m}]$	Matrix der bedingten Kollisionsauflösungswahrscheinlichkeiten
$\mathbf{F}^n = [f_{i,o}^n]$	Matrix der Weiterleitungswahrscheinlichkeiten für Routerinstanz n
$\boldsymbol{\kappa} = [\kappa_{i,o}]$	Matrix der Kollisionsauflösungswahrscheinlichkeiten
$\mathbf{l} = [l_s]$	Vektor der Verkehrsangebote aller Quellmodule s
$\boldsymbol{\Lambda} = [\lambda_{i,o}]$	Matrix der Verkehrsintensitäten eines Routers
$\boldsymbol{\Omega} = [\omega_{i,o}]$	Matrix der Wartewahrscheinlichkeiten
$\mathbf{P} = [p_{ij}]$	Matrix mit Übergangsraten vom Zustand i in den Zustand j
$\mathbf{R} = [r_{i,j,s,d}]$	Matrix mit Routing-Wahrscheinlichkeiten für Quell-/Zielmodul (s, d) über Kante (i, j)
$\boldsymbol{\rho} = [\rho_{i,o}]$	Matrix der Pfadauslastungen eines Routers
$\mathbf{T} = [t_{s,d}]$	Verkehrsmatrix mit Kommunikationswahrscheinlichkeiten
$\overline{\mathbf{X}} = [\bar{x}_{i,o}]$	Matrix der mittlere Bedienzeiten eines Routers inklusive kollisionsbedingter Verzögerungen
\mathbf{x}	Vektorieller Router-Zustand (Anzahl Flits je Puffer)
\mathbf{y}	Vektorieller Makrozustand eines Routers (Belegzustand je Puffer)

Operatoren und Funktionen

$\mathbb{E}[\cdot]$	Erwartungswert
$\mathfrak{E}(\cdot)$	Funktion zur Extremumdetektion
$\mathcal{O}(\cdot)$	Landau'sches Symbol zur Beschreibung der Laufzeitkomplexität von Algorithmen (O-Notation)
$\text{tr}(\cdot)$	Spur einer Matrix

Verteilungen

$a(t)$	Dichtefunktion der Zwischenankunftszeiten
$b(t)$	Dichtefunktion der Bedienzeiten

π_k	Stationäre Zustandswahrscheinlichkeit für Zustand k in einem Bediensystem mit unendlichem Puffer
$\tilde{\pi}(\mathbf{x})$	Stationäre Verbundverteilung der Zustandswahrscheinlichkeiten über die Router-Zustände \mathbf{x}
p_k	Stationäre Zustandswahrscheinlichkeit für Zustand k in einem Bediensystem mit endlichem Puffer
$\sigma(\mathbf{y})$	Wahrscheinlichkeitsverteilung der Makrozustände eines Routers