Beiträge aus der Elektrotechnik

Tobias Schirmer

Schaltungen und Algorithmen zur Implementierung schneller und hochauflösender D/A-Wandler für Echtzeitkommunikation

VOGT

Dresden 2026

Bibliografische Information der Deutschen Nationalbibliothek
Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über http://dnb.dnb.de abrufbar.

Bibliographic Information published by the Deutsche Nationalbibliothek
The Deutsche Nationalbibliothek lists this publication in the Deutsche Nationalbibliografie; detailed bibliographic data are available on the Internet at http://dnb.dnb.de.

Zugl.: Dresden, Techn. Univ., Diss., 2026

Die vorliegende Arbeit stimmt mit dem Original der Dissertation „Schaltungen und Algorithmen zur Implementierung schneller und hochauflösender D/A-Wandler für Echtzeitkommunikation“ von Tobias Schirmer überein.

© Jörg Vogt Verlag 2026
Alle Rechte vorbehalten. All rights reserved.

Gesetzt vom Autor

ISBN 978-3-95947-091-9

Jörg Vogt Verlag
Niederwaldstr. 36
01277 Dresden
Germany

Phone: +49-(0)351-31403921
Telefax: +49-(0)351-31403918
e-mail: info@vogtverlag.de
Internet : www.vogtverlag.de

Technische Universität Dresden

Fakultät Elektrotechnik und Informationstechnik

Schaltungen und Algorithmen zur Implementierung schneller und hochauflösender D/A-Wandler für Echtzeitkommunikation

Dipl.-Ing. Tobias Schirmer

Von der Fakultät Elektrotechnik und Informationstechnik
der Technischen Universität Dresden
zur Erlangung des akademischen Grades

Doktoringenieur (Dr.-Ing.)

genehmigte Dissertation

Vorsitzender:	Prof. Dr.-Ing. Rafael F. Schaefer
Gutachter:	Prof. Dr. sc. techn. habil. Frank Ellinger
Gutachter:	Prof. Dr.-Ing. habil. John T. Horstmann

Tag der Einreichung: 24. 11. 2025
Tag der Verteidigung: 06. 07. 2026

Danksagung

An dieser Stelle möchte ich mich bei allen Familienmitgliedern, Freunden und Kollegen bedanken, die mich bei der Erstellung dieser Dissertation unterstützt und begleitet haben. Mein besonderer Dank gilt Prof. Dr. sc. techn. Frank Ellinger für die Möglichkeit, an seinem Lehrstuhl zu forschen und im Rahmen dieser Tätigkeit meine Dissertation anzufertigen. Darüber hinaus möchte ich Frau Claudia Kretzschmar und Herrn Steffen Lehmann, welche für die Koordination des Universitätsprogramms der Firma GlobalFoundries verantwortlich sind, meinen Dank für die stets sehr gute Zusammenarbeit aussprechen und mich bei der Firma GlobalFoundries für die Fabrikation der im Rahmen dieser Dissertation entstandenen Testchips bedanken. Meinen Kollegen Simon Buhr, Felix Burkhardt, Florian Protze, Jan Pliva, Mohammad Mahdi Khafaji und Steve Bigalke danke ich für die gute, stets freundliche und kollegiale Zusammenarbeit. Insbesondere bedanke ich mich bei Simon Buhr und Jan Pliva für ihre immer sehr hilfreichen fachlichen Hinweise und Ratschläge beim Verfassen von Veröffentlichungen.

Aus tiefstem Herzen bedanke ich mich bei meiner Frau Isabell.
Für deine Geduld und Fürsorge, und weil du mich auf diesem Weg
immer unterstützt hast.

Abstract

This thesis investigates a real-time-capable architecture concept for a current-steering digital-to-analog converter (DAC) with high linearity and a high sampling rate. Among other applications, the proposed DAC can be used for fast and efficient baseband signal processing in future mobile communication systems of the 6G standard. In the course of this work, measurement results of several different hardware prototypes of the investigated DAC architecture and its subcomponents are discussed. The main prototype of the DAC combines all concepts and systems explored within this work in one overall concept. It achieves an input word resolution of 9 bits and a maximum sampling rate of 5.0 GHz.

The real-time capability of current-steering DACs with high sampling rates is still mostly unexplored in the current state of the art. The requirement of a short wake-up time in the range of a few hundred nanoseconds yields a multitude of new scientific questions for high-linearity, high-sampling-rate converter architectures in mobile communication applications which so far have not been addressed to the necessary extent. This work aims to make a scientific contribution to answering these questions and thus paves the way for efficient, real-time-capable data communication in the future. First, the work investigates at system level the boundary conditions for an architecture that combines the three objectives of high linearity, high bandwidth, and a very short wake-up time of the DAC. A concept is developed which combines a complex background calibration of the DAC's switched current cells to optimize its static linearity, with a so-called DEM (Dynamic Element Matching) algorithm. The combined implementation of the two techniques has not been discussed in previous state-of-the-art publications and marks a scientific challenge. Not only does it require the investigation of new, particularly robust and efficient search algorithms for the acquisition of the error currents in the switched current cells for background calibration. It also postulates the design of robust calibration circuits to minimize the susceptibility of the background calibration towards error events at full clock speed of the DAC. Therefore, in this thesis also circuit-level aspects and solutions are discussed which are not yet part of the scientific discourse in the literature about DACs. Based on the premise that the time required by the background calibration to complete the linearization of a DAC's static characteristics is crucial for its real-time capability, the thesis furthermore poses a significant contribution to the optimization of the efficiency of background calibrations. By analyzing the statistical distribution of error currents in the DAC's switched current cells, a mathematical approach is developed that can be used to minimize the complexity of

the calibration circuitry, thus optimizing its efficiency and speed. Hence, compared to recent state-of-the-art work that does not particularly emphasize on the efficiency of the background calibration due to the real-time capability not being considered, this work poses yet another important scientific contribution. Finally, in the course of the discussion of the background calibration efficiency, the work identifies and highlights existing limitations of digital calibration techniques regarding their achievable calibration accuracy and the conflicting aspects of a high complexity of the calibration circuitry and a reduced bandwidth of switched current cells. Based on the perception that an optimal solution exists for the design of a current-steering DAC's calibration to fulfill a specific requirement for the final static linearity, which, however, only represents a compromise regarding the dynamic characteristics of the DAC, the question is raised to what extent it is possible to overcome these limitations of state-of-the-art digital calibration techniques by using innovative circuit techniques. As one possible answer to this question, a novel approach for the background calibration using a solely analog calibration loop is proposed that is based on the so-called *back-gate biasing* technique available in modern FD-SOI (fully depleted silicon-on-insulator) CMOS technologies. The innovative analog calibration loop is capable of eliminating the compromise between static linearity and dynamic performance of a DAC. Furthermore, demonstrated by measurements of a hardware prototype specifically designed for this purpose, it significantly surpasses the accuracy and efficiency of comparable digital calibration techniques.

With the investigation of the aforementioned scientific topics, this work is an important contribution to the exploration of novel concepts, algorithms, and circuit design techniques for the optimization of the wake-up time of a high-speed, high-resolution current-steering DAC. It thus harmonizes the new design goal of real-time capability with high linearity and good dynamic performance of a current-steering DAC. It moreover demonstrates a first functional test sample of a DAC with a DEM decoder and an integrated background calibration, while still achieving a very high sampling rate, linearity, and a particularly short wake-up time of less than 300 ns. With a nominal resolution of 9 bits, the hardware prototype of the proposed DAC with digital background calibration achieves excellent differential and integral nonlinearity of DNL = 0.147 LSB and INL = 0.433 LSB, respectively. With a total of 128 µs, the investigated calibration scheme requires only one-fifth of the time required by the fastest calibration technique found in the state of the art to establish full linearity of the DAC. Furthermore, for an even higher nominal resolution of 11 bits, the investigated analog calibration based on *back-gate biasing* achieves a differential and integral nonlinearity of only 0.5 LSB within 32 µs, thus being at least 20 times faster than state-of-the-art calibrations achieving a comparable linearity enhancement.

Kurzfassung

In dieser Arbeit wird ein echtzeitfähiges Architekturkonzept für einen stromgesteuerten Digital-Analog-Wandler (D/A-Wandler) mit hoher Linearität und Abtastrate untersucht, welches unter anderem in der schnellen und effizienten Basisbandsignalverarbeitung mobiler Kommunikationssysteme des 6G-Mobilfunkstandards genutzt werden kann. Im Zuge dessen werden die Messergebnisse mehrerer Hardware-Funktionsmuster der untersuchten Wandlerarchitektur und ihrer Teilkomponenten vorgestellt. Die Basisvariante des D/A-Wandlers, welche alle im Rahmen dieser Arbeit erforschten Teilkonzepte und Systeme in einem Gesamtkonzept miteinander vereint, erreicht mit einer Eingangswortauflösung von 9 Bit eine maximale Abtastrate von 5,0 GHz.

Die Echtzeitfähigkeit von stromgesteuerten D/A-Wandlern mit hoher Abtastrate ist im gegenwärtigen Stand der Technik bisher noch nahezu unerforscht. Die Anforderung einer kurzen Aufwachzeit im Bereich weniger hundert Nanosekunden eröffnet dabei insbesondere für Wandlerarchitekturen in Mobilfunkanwendungen, die zusätzlich zu einer hohen Abtastrate auch eine hohe Linearität aufweisen, eine Vielzahl neuer wissenschaftlicher Fragestellungen, die bisher nicht im gebotenen Umfang bearbeitet wurden. Die vorliegende Arbeit soll einen wissenschaftlichen Beitrag zur Beantwortung dieser neuen Fragestellungen leisten und damit den Weg zur effizienten, echtzeitfähigen Datenkommunikation der Zukunft ebnen. Dabei untersucht die Arbeit zunächst auf Systemebene notwendige Randbedingungen für eine Architektur, welche die drei Zielstellungen einer hohen Linearität, einer hohen Bandbreite und einer sehr kurzen Aufwachzeit eines D/A-Wandlers miteinander vereint. Es wird ein Konzept erarbeitet, welches eine komplexe Hintergrundkalibrierung der Stromzellen des D/A-Wandlers zur Optimierung der statischen Linearität mit einem sogenannten DEM-Algorithmus (engl. Dynamic Element Matching) kombiniert. Die gemeinsame Implementierung beider Techniken wurde in den bisherigen Arbeiten des Stands der Technik noch nicht diskutiert und stellt eine wissenschaftliche Herausforderung dar. Nicht nur erfordert sie aus systemtechnischer Sicht auf die Hintergrundkalibrierung die Erforschung neuer, besonders robuster und effizienter Suchalgorithmen zur Akquisition der Fehlerströme in den Stromzellen. Sie bedarf auch des Entwurfs robuster Kalibrierschaltungen, um die Fehleranfälligkeit der Kalibrierung bei voller Taktrate des D/A-Wandlers im Hintergrund zu minimieren. Im Rahmen der vorliegenden Arbeit werden daher auch schaltungstechnische Aspekte und Lösungsansätze diskutiert, welche in der Fachliteratur zu D/A-Wandlern noch nicht Gegenstand des wissenschaftlichen Diskurses sind. Aus systemtheoretischer

Sicht wird, ausgehend von der Prämisse, dass die Zeitdauer, die die verwendete Hintergrundkalibrierung zur vollständigen Linearisierung der statischen Kennlinie eines D/A-Wandlers benötigt, ausschlaggebend für dessen Echtzeitfähigkeit ist, im Rahmen der vorliegenden Arbeit zudem ein wesentlicher Beitrag zur Optimierung der Effizienz der Hintergrundkalibrierungen geleistet. Durch die Analyse der statistischen Verteilung der Fehlerströme in den Stromzellen des D/A-Wandlers wird ein mathematischer Lösungsansatz für die Dimensionierung der Kalibrierschaltungen erarbeitet, um deren Komplexität zu minimieren und so die Effizienz und Geschwindigkeit der Kalibrierung zu optimieren. Auf diese Weise leistet die vorliegende Arbeit im Vergleich zu den Arbeiten des Stands der Technik, in denen aufgrund der noch nicht formulierten Echtzeitanforderungen eines D/A-Wandlers die Effizienz seiner Kalibrierung bisher nur eine untergeordnete Rolle spielte, einen wichtigen wissenschaftlichen Beitrag. Nicht zuletzt werden durch die vorliegende Arbeit im Rahmen der Diskussion der Effizienz von Hintergrundkalibrierungen auch bestehende Limitierungen digitaler Kalibrierverfahren hinsichtlich ihrer erreichbaren Kalibriergenauigkeit und der dazu im Konflikt stehenden Aspekte einer hohen Komplexität der Kalibrierschaltungen und einer verringerten Bandbreite der Stromzellen aufgezeigt. Aus der Erkenntnis, dass für die statische Linearitätsanforderung an einen D/A-Wandler eine optimale Lösung für die Auslegung seiner Kalibrierung existiert, welche hinsichtlich der dynamischen Eigenschaften des Wandlers jedoch nur einen Kompromiss darstellt, wird die neue wissenschaftliche Fragestellung formuliert, ob und inwiefern es möglich ist, diese gegebenen Limitierungen klassischer digitaler Kalibrierverfahren mittels neuer Schaltungstechniken zu überwinden. Als Antwort auf diese Frage wird ein Lösungsansatz einer Hintergrundkalibrierung mit rein analoger Kalibrierschleife vorgeschlagen, welche auf der Technik des sogenannten *Back-Gate-Biasing* in modernen FD-SOI (engl. *fully-depleted silicon-on-insulator*) CMOS-Prozessen basiert. Diese innovative analoge Kalibrierschleife ist in der Lage, den bei digitalen Kalibrierverfahren bestehenden Kompromiss zwischen statischer Linearität und dynamischer Performanz des D/A-Wandlers vollständig zu eliminieren. Zudem übertrifft sie, wie durch Messungen eines eigens zu diesem Zweck entworfenen Hardware-Funktionsmusters gezeigt wird, die Genauigkeit und Effizienz vergleichbarer digitaler Kalibrierverfahren in erheblichem Maße.

Mit der Erforschung der vorab genannten Themenkomplexe leistet die vorliegende Arbeit einen wichtigen Beitrag zur Erforschung neuartiger Konzepte, Algorithmen und Schaltungstechniken zur Optimierung der Aufwachzeit und vereint auf diese Weise das neue Entwurfsziel der Echtzeitfähigkeit mit einer hohen Linearität und den guten dynamischen Eigenschaften stromgesteuerter D/A-Wandler. Sie demonstriert erstmals das funktionale Testmuster eines D/A-Wandlers mit einem DEM-Dekoder und einer integrierten Hintergrund-Stromzellenkalibrierung bei gleichzeitig hoher Abtastrate, Linearität und einer extrem kurzen Aufwachzeit von weniger als 300 ns. Das im Rahmen dieser Arbeit entworfene Hardware-Funktionsmuster des D/A-Wandlers mit digitaler Hintergrund-Stromzellenkalibrierung erreicht bei einer Zielauflösung von 9 Bit eine sehr gute differenzielle und integrale Nichtlinearität von DNL = 0,147 LSB bzw. INL = 0,433 LSB. Dabei benötigt die untersuchte Kalibrierung zur vollständigen Herstellung der Linearität des D/A-Wandlers mit 128 µs nur ein Fünftel der Zeit, die das schnellste im Stand der Technik gefundene Kalibrierverfahren aufwenden muss. Die untersuchte analoge Kalibrierung basierend auf *Back-Gate-Biasing* erreicht darüber hinaus für eine nochmals erhöhte Zielauflösung von 11 Bit innerhalb von nur 32 µs eine Differenzielle und Integrale Nichtlinearität von jeweils nur 0,5 LSB und ist damit bei vergleichbarem Linearitätsgewinn um den Faktor 20 schneller als der Stand der Technik.

Hinweis zur Nutzung von Material aus eigenen Veröffentlichungen

Der Inhalt dieser Arbeit, insbesondere die Kapitel 4 und 5, basiert in Teilen auf bereits veröffentlichten IEEE-Publikationen, bei denen ich der erste Autor bin. Diese Veröffentlichungen wurden im Rahmen meiner Forschungstätigkeit als wissenschaftlicher Mitarbeiter an der TU Dresden erstellt. Fußnoten zu Beginn der einzelnen Abschnitte zeigen eindeutig an, welche Teile dieser Arbeit auf welchen Veröffentlichungen basieren. Alle direkt aus den Veröffentlichungen entnommenen Materialien sind korrekt zitiert. Insbesondere sind Bilder und Tabellen, welche direkt aus IEEE-Veröffentlichungen entnommen wurden, gemäß den IEEE-Copyright-Richtlinien markiert. Jedoch wurden die meisten Bilder im Rahmen der Erstellung dieser Arbeit neu erstellt, weil die Arbeit in einer anderen Sprache als die referenzierten IEEE-Publikationen angefertigt wurde. Nichtsdestotrotz sind auch für diese Bilder die Veröffentlichungen, auf denen sie grundsätzlich basieren, eindeutig als Zitat angegeben. Um meine selbst verfassten Veröffentlichungen von denen anderer zitierter Arbeiten unterscheiden zu können, sind diese mit dem vorangestellten Sternsymbol * markiert. So wird eine selbst verfasste Veröffentlichung X in der vorliegenden Arbeit als [*X] zitiert.

Tobias Schirmer

Inhaltsverzeichnis

Abstract VII

Kurzfassung IX

Abbildungsverzeichnis XVII

Tabellenverzeichnis XXIII

Abkürzungen XXV

Symbole XXIX

1 Einleitung 1
- 1.1 Motivation . . . 2
- 1.2 Ziele der vorliegenden Arbeit . . . 3
- 1.3 Gliederung der Arbeit . . . 6
- 1.4 Hinweise zur Arbeit . . . 9

2 Grundlagen des Entwurfs von Digital-Analog-Wandlern 11
- 2.1 Systemklassifikation von Digital-Analog-Wandlern . . . 12
  - 2.1.1 Wandlerprinzip . . . 12
  - 2.1.2 Abtastprinzip . . . 13
- 2.2 Idealer stromgesteuerter Digital-Analog-Wandler . . . 13
- 2.3 Charakterisierung von Digital-Analog-Wandlern . . . 14
  - 2.3.1 Allgemeine Spezifikationen . . . 14
  - 2.3.2 Statisches Verhalten . . . 15
  - 2.3.3 Signal-Rausch-Verhältnis . . . 18
  - 2.3.4 Klirrfaktor . . . 20
  - 2.3.5 Signal-zu-Rausch-und-Verzerrungsverhältnis . . . 21
  - 2.3.6 Störfreier Dynamikbereich . . . 21
  - 2.3.7 Spektrale Rauschleistungsdichte . . . 21
  - 2.3.8 Bandbreite, Leistungsaufnahme, Ausgangssignalleistung . . . 22
  - 2.3.9 Aufwachzeit . . . 23
- 2.4 Fehlermechanismen in stromgesteuerten Digital-Analog-Wandlern . . . 24
  - 2.4.1 Parasitäre Kapazitäten . . . 24
  - 2.4.2 Endliche Schaltzeit . . . 26

2.4.3 Unsicherheit der Schaltzeitpunkte 27
2.4.4 Ladungsträgerinjektion und Steuersignal-Durchsprechen . . 29
2.4.5 Endliche Ausgangsimpedanz der Stromzellen 30
2.4.6 Variation des Ausgangsstroms der Stromzellen 32

3 Systemkonzept des Digital-Analog-Wandlers 35
3.1 Systemüberblick des stromgesteuerten D/A-Wandlers 36
3.2 Segmentierung 38
3.2.1 Vorteile der Thermometer-Kodierung 39
3.2.2 Limitierungen der Thermometer-Kodierung 43
3.2.3 Wahl der Segmentierung 44
3.3 Stromzellenkalibrierung 45
3.4 Dynamic Element Matching 49
3.4.1 Klassifikation von DEM-Algorithmen 50
3.4.2 Leistungsfähigkeit des dynamischen Fehlerabgleichs 51
3.4.3 Minimierung der Schaltaktivität 53
3.4.4 Wahl der DEM-Architektur 54
3.5 Echtzeitfähigkeit 55

4 Schaltungstechnische Optimierung der geschalteten Stromzellen 57
4.1 Ausgangsimpedanz der Stromzellen 58
4.2 Linearität der Stromzellen im quasistatischen Betrieb 63
4.3 Dynamisches Großsignalverhalten der Stromzellen 68
4.3.1 Minimierung der Kapazität am internen Schaltknoten . . . 68
4.3.2 Frequenzverhalten der Verbindungsstrukturen 72
4.3.3 Optimierung der Steuersignalform 79

5 DEM-Dekoder mit integrierter Hintergrund-Stromzellen-kalibrierung 105
5.1 Einordnung in das Gesamtkonzept des D/A-Wandlers 106
5.2 Hintergrund-Stromzellenkalibrierung 107
5.2.1 Fehlerkorrektur: Anforderungen und Entwurfskonzept . . . 108
5.2.2 Kalibrierbereich der Hilfsstromquelle 109
5.2.3 Auflösung der Hilfsstromquellen 112
5.2.4 Implementierung der Hilfsstromquelle 113
5.2.5 Fehlererfassung: Anforderungen und Entwurfskonzept . . . 114
5.2.6 1-Bit-Komparator mit dynamischer Offset-Kompensation . 116
5.2.7 Fehlertoleranter SAR-Algorithmus 123
5.3 DEM-Dekoder mit integrierter Kalibriersteuerung 127
5.3.1 Implementierung des DEM-Scrambling-Algorithmus 129
5.3.2 Bewertung des DEM-Dekoders im Vergleich zum Stand der Technik 135
5.3.3 Integration der Hintergrund-Stromzellenkalibrierung 138
5.3.4 Implementierung einer fehlertoleranten Kalibriersteuerung . 142

6 Analoge Kalibrierung mittels Back-Gate-Biasing in FD-SOI-CMOS 145
6.1 Limitierungen digitaler Kalibrierverfahren 146
6.2 Vorteile der analogen Kalibrierung 147
6.3 Implementierung der analogen Kalibrierung 148
6.3.1 Implementierung der kalibrierbaren Stromquellen 148
6.3.2 Implementierung der analogen Kalibrierschleife 153
6.3.3 Simulation der analogen Kalibrierung 157

6.4 Referenzstromerzeugung 160
6.4.1 Referenzstromquelle mit binär-gewichteten Stromausgängen 161
6.4.2 Herleitung eines Fehlermodells der Referenzstromquelle . . 163
6.4.3 Dimensionierung der Referenzstromquelle 169

7 Charakterisierung der entworfenen D/A-Wandler 173
7.1 Gesamtübersicht des implementierten D/A-Wandlers 174
7.2 Test- und Messkonzept 176
7.2.1 Kommunikationsschnittstelle und Testdatengenerierung . . 177
7.2.2 Messaufbau zur Charakterisierung 177
7.2.3 Übersicht der implementierten Hardware 180
7.3 Verhalten des Wandlers im dynamischen Betrieb 182
7.3.1 Effektivität des DEM-Scramblers 185
7.3.2 Effektivität der Hintergrundkalibrierung 187
7.4 Verhalten des Wandlers im statischen Betrieb 191
7.4.1 Digitale Hintergrund-Stromzellenkalibrierung 192
7.4.2 Analoge Hintergrund-Stromzellenkalibrierung 195
7.5 Aufwachlatenz und Echtzeitfähigkeit 198
7.6 Stand der Technik 200
7.6.1 Vergleich schnellabtastender D/A-Wandler 201
7.6.2 Vergleich der Kalibrierdauer 204

8 Zusammenfassung und Ausblick 207
8.1 Zusammenfassung 208
8.2 Ausblick 211

Anhang 213

Literaturverzeichnis 225

Eigene wissenschaftliche Beiträge 235
Veröffentlichungen 235
Workshop-Beitrag 235

Lebenslauf des Autors 237

Abbildungsverzeichnis

1.1 Hauptforschungsgebiete im Bereich stromgesteuerter D/A-Wandler 4

2.1 Prinzipschaltbild eines idealen stromgesteuerten D/A-Wandlers . . 14
2.2 Übertragungskennlinie eines idealen und eines realen 5-Bit-D/A-Wandlers 16
2.3 Visualisierung des Quantisierungsfehlersignals in D/A-Wandlern . 18
2.4 Schaltbild einer typischen Stromzelle eines stromgesteuerten D/A-Wandlers 24
2.5 Spannung U_{x} am internen Knoten x einer Stromzelle bei einem typischen Umschaltvorgang 26
2.6 Typische Fehlersignalform bei Phasenrauschen 28
2.7 Typische Fehlersignalform bei lokalen Schaltverzögerungen 30
2.8 Prinzipschaltbild eines stromgesteuerten D/A-Wandlers mit nicht-idealer, endlicher Ausgangsimpedanz 31
2.9 Typische Fehlersignalform bei endlicher Ausgangsimpedanz der Stromzellen 32
2.10 Typische Fehlersignalform aufgrund der Ausgangsstromvariation der Stromzellen eines D/A-Wandlers 33

3.1 Systemüberblick des im Rahmen dieser Arbeit untersuchten D/A-Wandlerkonzepts 36
3.2 Glitchbildung im Ausgangssignal eines rein binär gewichteten D/A-Wandlers mit lokalen Einschaltverzögerungen der individuellen Stromzellen 40
3.3 Glitchbildung im Ausgangssignal eines teilweise thermometerkodierten D/A-Wandlers mit lokalen Einschaltverzögerungen der individuellen Stromzellen 41
3.4 Glitchbildung im Ausgangssignal eines vollständig thermometerkodierten D/A-Wandlers mit lokalen Einschaltverzögerungen der individuellen Stromzellen 41
3.5 Funktionsprinzip von fehlerkorrekturbasierten, digitalen Stromzellenkalibrierungen 47
3.6 Übersicht der verschiedenen Klassen von Kalibrieralgorithmen für stromgesteuerte D/A-Wandler 49
3.7 Typisches Ausgangssignal und dazugehöriges Fehlersignal eines vollständig thermometerkodierten 6-Bit-D/A-Wandlers ohne DEM . . 51

3.8 Typisches Ausgangssignal und dazugehöriges Fehlersignal eines vollständig thermometerkodierten 6-Bit-D/A-Wandlers mit DEM . . . 52

4.1 Schaltung einer volldifferenziellen Stromzelle in einem stromgesteuerten D/A-Wandler . . . 58
4.2 Einfluss der Kapazität C_x auf den Betrag der Kleinsignal-Ausgangsimpedanz der Fußpunktstromquelle [*Sch20]. © 2020 IEEE . 59
4.3 Stromzelle mit optimierter Kleinsignal-Ausgangsimpedanz . . . 61
4.4 Betrag der Kleinsignal-Ausgangsimpedanz der volldifferenziellen Stromzelle bei Verwendung von zwei bzw. drei Schalter-Gatestufen 62
4.5 Simulationssetup für die Linearitätsanalyse des Stromzellen-Arrays im Großsignalbetrieb . . . 64
4.6 Ausgangssignalspektren bei quasistatischer Anregung der Stromzellen am Ausgang des D/A-Wandlers . . . 65
4.7 Spannungsverlauf an den internen Knoten x der Stromzellen bei externer Anregung des D/A-Wandlers . . . 66
4.8 Spektrum eines exemplarischen Ausgangsspannungssignals zur Linearitätsanalyse der Stromzellen . . . 67
4.9 Vergleich der Abhängigkeiten der Kleinsignal-Impedanzbeträge von C_x an verschiedenen, relevanten Knoten einer Stromzelle . . . 69
4.10 Vergleich der verschiedenen Layoutstrukturen für die Stromquellen- und Schalter-Arrays [*Sch20]. © 2020 IEEE . . . 71
4.11 Grundform des hierarchischen Takt- und Ausgangsnetzwerks [*Sch20]. © 2020 IEEE . . . 74
4.12 Illustration der angewandten Optimierungsschritte in den vertikalen Binärbaumstrukturen . . . 75
4.13 Minimales und symmetrisches Takt- und Ausgangsnetzwerk nach Anwendung aller Optimierungsschritte . . . 76
4.14 Ergebnisse der Elektromagnetische Feldsimulation des entworfenen Takt- und Ausgangsnetzwerks [*Sch20]. © 2020 IEEE . . . 78
4.15 Phasendrehungen und Signallaufzeiten des Taktsignals innerhalb des Taktnetzwerks . . . 79
4.16 Grundstruktur einer differenziellen Stromzelle, erweitert um die parasitären Kapazitäten, Steuer- und Spannungssignalformen an deren wichtigsten Knoten [*Sch19]. © 2019 IEEE . . . 81
4.17 Schaltung der in der vorliegenden Arbeit verwendeten CML-Stufe . 81
4.18 Augendiagramm des differenziellen Ausgangssignals des CML Buffers für verschiedene Prozess- und Temperaturbedingungen . . . 82
4.19 Adaptive Arbeitspunkteinstellung zur Kompensation von Schwankungen des niedrigen Spannungspegels der Steuersignale . . . 83
4.20 Augendiagramm des kompensierten CML-Buffer-Ausgangssignals für verschiedene PVT-Variationen . . . 85
4.21 Leistungsspektren des Ausgangssignals des D/A-Wandlers bei verschiedenen digitalen Einstellwerten der Referenzspannung . . . 86
4.22 Signalleistung und SFDR des entworfenen D/A-Wandlers in Abhängigkeit von der Referenzspannungseinstellung . . . 87
4.23 Signalverläufe des differenziellen Steuersignals und der internen Knotenspannung U_x der entworfenen Stromzelle für verschiedene Schaltlevel des Kreuzungspunkts . . . 89
4.24 Grundlegender Aufbau einer Verzögerungszelle basierend auf einem strombegrenzten CMOS-Inverter [*Sch19]. © 2019 IEEE . . . 91

4.25 Schaltbild des implementierten Dividierers zur Vorverzerrung eines linearen Kontrollstroms [*Sch19]. © 2019 IEEE 93
4.26 Stromübertragungskennlinie des Dividierers für den Wertebereich eines digitalen 4-Bit-Eingabeworts [*Sch19]. © 2019 IEEE 98
4.27 Mikroskopbild des entworfenen Test-ICs zur Charakterisierung der linearen Verzögerungszelle [*Sch19]. © 2019 IEEE 99
4.28 Laboraufbau mit Waferprober zur Charakterisierung der entworfenen linearen Verzögerungszelle 100
4.29 Bildschirmaufnahmen des Sampling-Oszilloskops mit den Augendiagrammen der differenziellen Ausgangssignale des implementierten Test-ICs [*Sch19]. © 2019 IEEE 100
4.30 Messergebnisse für alle digitalen Zwischenwerte zur Einstellung der Verzögerungszeit der fallenden Steuersignalflanke 101
4.31 DNL- und INL-Diagramme der Verzögerungszeitkennlinie des entworfenen Verzögerungselements [*Sch19]. © 2019 IEEE 102

5.1 Grundlegende Implementierung der auf Fehlererfassung und Fehlerkorrektur basierenden Stromzellenkalibrierung 108
5.2 Ausbeute an funktionalen D/A-Wandlern, aufgetragen über den normierten Kalibrierbereich x der Hilfsstromquelle 111
5.3 Schaltung der implementierten Hilfsstromquelle in den Stromzellen eines stromgesteuerten D/A-Wandlers 114
5.4 Detaillierte Implementierung des 1-Bit-Komparators 119
5.5 Ergebnisse einer repräsentativen, transienten Monte-Carlo-Simulation des Komparators 121
5.6 Fehlerstromverteilungen für verschiedene Kalibrierzustände 122
5.7 Mittlerer Restfehlerstrom der kalibrierten Stromzellen in Abhängigkeit von der Fehlerrate des Komparators im SAR-A/D-Wandler . . 127
5.8 Systemübersicht des DEM-Dekoders mit integrierter Hintergrundkalibrierung [*Sch24]. © 2024 IEEE 130
5.9 Gate-Level-Implementierung eines einzelnen Kreuzschalters [*Sch24]. © 2024 IEEE 131
5.10 Simulationsergebnisse der digitalen Ausgangssignale eines DEM-Dekoders [*Sch24]. © 2024 IEEE 135
5.11 Effektivität des Langzeit-Fehlerabgleichs ausgewählter DEM-Dekoderarchitekturen des Standes der Technik [*Sch24]. © 2024 IEEE . 137
5.12 Zeitdiagramm zur Illustration der Steuersignale der Kalibrierlogik bei Ansteuerung des 6-Bit-DEM-Netzwerks [*Sch24]. © 2024 IEEE 140
5.13 Signalabhängigkeiten innerhalb der Kalibriersteuerlogik [*Sch24]. © 2024 IEEE 143

6.1 Vergleich des Grundprinzips der verschiedenen analogen Kalibrierverfahren 149
6.2 Systemschaltbild der analogen Kalibrierschleife zur Berechnung ihrer System- und Rauschübertragungsfunktion 150
6.3 Schaltungsimplementierung der Stromquelle mit *Back-Gate*-basierter Kalibrierung 152
6.4 Implementierung der analogen Kalibrierschleife für thermometergewichtete D/A-Wandlersegmente 156
6.5 Monte-Carlo-Simulation zur Veranschaulichung der Arbeitsweise der analogen Stromzellenkalibrierung 158

6.6 Steuersignalverläufe, *Back-Gate*-Spannungen und Ausgangsströme der Stromquellentransistoren für 16 der insgesamt 64 Stromzellen . 159
6.7 Flussdiagramm des komplexen Steuersignalspiels der digitalen Hintergrund-Stromzellenkalibrierung 160
6.8 Flussdiagramm des einfachen Steuersignalspiels der analogen Hintergrund-Stromzellenkalibrierung 160
6.9 Schaltung der implementierten Referenzstromquelle mit binär-gewichteten Ausgangsströmen 162
6.10 Vereinfachtes Ersatzschaltbild der Referenzstromquelle zur mathematischen Modellierung ihrer Fehlanpassung 164
6.11 Schaltkreis und Kleinsignal-Simulationsergebnisse des Operationsverstärkers in der Referenzstromquelle 170
6.12 Histogramme der Einheitswiderstandswerteverteilung und der Verteilung der Offsetspannung des Operationsverstärkers 171

7.1 Gesamtüberblick des implementierten D/A-Wandlers 175
7.2 Schematische Darstellung des Testaufbaus zur Charakterisierung der entworfenen D/A-Wandler-Funktionsmuster 176
7.3 Messaufbau zur Charakterisierung der D/A-Wandlerfunktionsmuster im Labor 178
7.4 Detailansicht des PCB-Stacks zur Charakterisierung der Basisversion des D/A-Wandlers 179
7.5 Mikroskopbilder der im Rahmen dieser Arbeit entworfenen Funktionsmuster des D/A-Wandlers 181
7.6 Leistungsspektrum und zugehöriges Zeitsignal des Ausgangssignals des in Funktionsmuster A implementierten D/A-Wandlers bei niedriger Signalfrequenz [*Sch20]. © 2020 IEEE 183
7.7 Leistungsspektrum und zugehöriges Zeitsignal des Ausgangssignals des in Funktionsmuster A implementierten D/A-Wandlers bei hoher Signalfrequenz 184
7.8 SFDR-Messergebnisse des Ausgangssignals des in Variante A implementierten D/A-Wandlers [*Sch20]. © 2020 IEEE 184
7.9 Spektrum und Zeitbereichssignal des Ausgangssignals bei mittlerer Signalfrequenz und eingeschaltetem DEM-Scrambler [*Sch20]. © 2020 IEEE 186
7.10 Mittlere kombinatorische Leistung eines idealen DEM-Scrambling-Algorithmus mit minimaler Schaltaktivität 187
7.11 Ausgangssignalspektren des gemessenen D/A-Wandlers für verschiedene Konfigurationen des implementierten DEM Scramblers und der Hintergrund-Stromzellenkalibrierung [*Sch24]. © 2024 IEEE 188
7.12 Gemessenes SFDR des D/A-Wandlers für verschiedene Einstellungen des DEM-Scramblers und der Stromzellenkalibrierung [*Sch24]. © 2024 IEEE 189
7.13 Gemessene NSD des D/A-Wandlers für verschiedene Einstellungen des DEM-Scramblers und der Stromzellenkalibrierung [*Sch24]. © 2024 IEEE 189
7.14 Gemessenes SNDR des D/A-Wandlers für verschiedene Einstellungen des DEM-Scramblers und der Stromzellenkalibrierung [*Sch24]. © 2024 IEEE 190
7.15 Zeitbereichssignale des implementierten D/A-Wandlers bei eingeschaltetem DEM und aktiver Stromzellenkalibrierung 191

7.16 Zweiton-Ausgangssignalspektren des gemessenen D/A-Wandlers und Oszilloskopaufnahmen der dazugehörigen Ausgangssignale im Zeitbereich [*Sch24]. © 2024 IEEE 192
7.17 DNL- und INL-Kurven des D/A-Wandlers bei ausgeschaltetem DEM und inaktiver Stromzellenkalibrierung 193
7.18 DNL- und INL-Kurven des D/A-Wandlers bei eingeschaltetem DEM und inaktiver Stromzellenkalibrierung 193
7.19 DNL- und INL-Kurven des D/A-Wandlers bei ausgeschaltetem DEM und aktiver Stromzellenkalibrierung 194
7.20 DNL- und INL-Kurven des D/A-Wandlers bei eingeschaltetem DEM und aktiver Stromzellenkalibrierung 195
7.21 Ergebnisse der statischen Messungen des implementierten, binären 7-Bit-D/A-Wandlers 197
7.22 Verteilung des Vollaussteuerstroms des binären D/A-Wandlers bei inaktiver und aktiver analoger Kalibrierung 197
7.23 Ergebnisse der statischen Messungen des implementierten, segmentierten 11-Bit-D/A-Wandlers 198
7.24 Aufwachzeit des entworfenen D/A-Wandlers für den Einschwingvorgang aus dem Ruhezustand 199
7.25 Aufwachzeit des entworfenen D/A-Wandlers für den Einschwingvorgang bei sinusförmigem Eingangssignal 199
7.26 Anteile der Funktionsbaugruppen an der Gesamtleistungsaufnahme des ICs [*Sch24]. © 2024 IEEE 201

8.1 Leistungsspektrum des Ausgangssignals für einen digitalen Einstellwert für $U_{\mathrm{ref,cml}}$ von 10 214
8.2 Leistungsspektrum des Ausgangssignals für einen digitalen Einstellwert für $U_{\mathrm{ref,cml}}$ von 20 215
8.3 Leistungsspektrum des Ausgangssignals für einen digitalen Einstellwert für $U_{\mathrm{ref,cml}}$ von 25 216
8.4 Leistungsspektrum des Ausgangssignals für einen digitalen Einstellwert für $U_{\mathrm{ref,cml}}$ von 30 217
8.5 Leistungsspektrum des Ausgangssignals für einen digitalen Einstellwert für $U_{\mathrm{ref,cml}}$ von 32 218
8.6 Leistungsspektrum des Ausgangssignals für einen digitalen Einstellwert für $U_{\mathrm{ref,cml}}$ von 33 219
8.7 Vergrößerte Darstellung von Abbildung 7.24 220
8.8 Vergrößerte Darstellung von Abbildung 7.25 221
8.9 Gesamtübersicht der Messergebnisse zur Linearität der statischen Übertragungskennlinie des im Rahmen des Funktionsmusters B entworfenen D/A-Wandlers 223

Tabellenverzeichnis

3.1 Schaltsequenzen für binäre ($B_2...B_0$) und thermometer-kodierte ($T_6...T_0$) D/A-Wandlersegmente 39

4.1 Qualitativer Vergleich der Leistungsparameter von Verzögerungselementen für die meistgenutzten Topologien [*Sch19]. © 2019 IEEE . 90
4.2 Vergleich der entworfenen Verzögerungszelle mit Verzögerungselementen des Standes der Technik [*Sch19]. © 2019 IEEE 101

5.1 Wahrheitstabelle des modifizierten Kreuzschalters für minimale Schaltaktivität bei aktivem DEM [*Sch24]. © 2024 IEEE 132
5.2 Wahrheitstabelle des Kreuzschalters zur Generierung von Thermometercode bei inaktivem DEM [*Sch24]. © 2024 IEEE 134

7.1 Übersicht und Zielfestsetzung der im Rahmen dieser Arbeit entworfenen Funktionsmuster 181
7.2 Flächenbeiträge der auf dem IC implementierten Funktionsbaugruppen [*Sch24]. © 2024 IEEE 201
7.3 Vergleich von D/A-Wandlern und Direkt-Digitalen Frequenzsynthesizern des Standes der Technik 202
7.4 Vergleich der Kalibrierdauer und -effektivität verschiedener Kalibrierverfahren des Standes der Technik. 205

8.1 Wertetabelle der Verteilungsfunktion der $\mathcal{N}(0, 1)$-Standardnormalverteilung 222

Abkürzungen

A/D-Wandler	Analog-Digital-Wandler
AC	Wechselstrom, engl. *Alternating-Current*
API	Programmierschnittstelle, engl. *Application Programming Interface*
CAD	Computergestützter Entwurf, engl. *Computer Aided Design*
CDC	Taktdomänenübergang, engl. *Clock-Domain-Crossing*
CML	Stromschaltlogik, engl. *Current-Mode Logic*
CMOS	Komplementäre Metall-Oxid-Halbleiter-Technologie, engl. *Complementary Metal-Oxide-Semiconductor*
CMR	Gleichtaktunterdrückung, engl. *Common Mode Rejection*
CS-DAC	Stromgesteuerter D/A-Wandler, engl. *Current-Steering DAC*
CSI	Strombegrenzter CMOS-Inverter, engl. *Current-Starved Inverter*
D/A-Wandler	Digital-Analog-Wandler
DC	Gleichstrom, engl. *Direct-Current*
DDC	Verzögerungsdifferenzkompensation, engl. *Delay Differences Cancellation*
DDFS	Direkt-Digitaler Frequenzsynthesizer, engl. *Direct Digital Frequency Synthesizer*
DEM	Dynamischer Fehlerabgleich, engl. *Dynamic Element Matching*
DNL	Differenzielle Nichtlinearität
DSP	Digitaler Signalprozessor, engl. *Digital Signal Processor*
EM-Simulation	Elektromagnetische Feldsimulation
ENOB	Effektive Anzahl an Bits, engl. *Effective Number of Bits*
FD-SOI	Vollständig verarmter Silizium-Halbleiter auf einem Isolator, engl. *Fully-Depleted Silicon-on-Insulator*

FSM	Zustandsautomat, engl. *Finite-State Machine*
FoM	Leistungszahl, engl. *Figure of Merit*
GPIB	*General Purpose Interface Bus* nach IEEE-488-Standard
GPIO	Serielle Kommunikationsschnittstelle, engl. *Serial Peripheral Interface*
HDL	Hardwarebeschreibungssprache, engl. *Hardware Description Language*
HF	Hochfrequenz
IC	Integrierter Schaltkreis, engl. *Integrated Circuit*
INL	Integrale Nichtlinearität
ISI	Symbolübersprechen, engl. *Inter-Symbol Interference*
IoT	Internet der Dinge, engl. *Internet of Things*
LFSR	Linear rückgekoppeltes Schieberegister, engl. *Linear Feedback Shift Register*
LSB	Bit mit der niedrigsten Wertigkeit, engl. *Least Significant Bit*
MOM	Metall-Oxid-Metall-Struktur, engl. *Metal-Oxide-Metal*
MOS	Metall-Oxid-Halbleiter-Struktur, engl. *Metal-Oxide-Semiconductor*
MSB	Bit mit der höchsten Wertigkeit, engl. *Most Significant Bit*
N-MOS	N-Kanal-MOS-Transistor
NSD	Spektrale Rauschleistungsdichte, engl. *Noise Spectral Density*
OFDM	Orthogonales Frequenzmultiplexverfahren, engl. *Orthogonal Frequency Division Multiplexing*
OSR	Verhältnis der Überabtastung, engl. *Oversampling Ratio*
P-MOS	P-Kanal-MOS-Transistor
PCB	Leiterplatine, engl. *Printed Circuit Board*
PLL	Phasenregelschleife, engl. *Phase Locked Loop*
PRBS	Pseudozufälliger Bitstrom, engl. *Pseudo-Random Bit Sequence*
PSR	Betriebsspannungsunterdrückung, engl. *Power Supply Rejection*
PSS-Analyse	Periodisch quasistatische Analyse, engl. *Periodic Steady-State analysis*
PVT	Prozess-, Spannungs- und Temperaturvariationen, engl. *Process, Voltage and Temperature variations*
QAM	Quadraturamplitudenmodulation, engl. *Quadrature Amplitude Modulation*
RSTC	Random Swapping Thermometer-Coding
RTZ	Rückkehr zur Null, engl. *Return-To-Zero*
SAR	Sukzessives Approximationsregister, engl. *Successive Approximation Register*

SCI	CMOS-Inverter mit Shunt-Kapazität, engl. *Shunt-Capacitor Inverter*
SFDR	Störfreier Dynamikbereich, engl. *Spurious Free Dynamic Range*
SNDR	Signal-zu-Rausch- und Verzerrungsverhältnis
SNR	Signal-Rausch-Verhältnis, engl. *Signal-to-Noise Ratio*
SOI	Silizium-Halbleiter auf einem Isolator, engl. *Silicon-on-Insulator*
SPI	Serielle Kommunikationsschnittstelle, engl. *Serial Peripheral Interface*
SSPA	Switching Sequence Post-Adjustment
SoC	System-on-a-Chip
VLSI	Integrierte Schaltung mit komplexer digitaler Logik, engl. *Very Large Scale Integration*

Symbole

Symbol	Einheit	Beschreibung
A_β	$\% \cdot \mu m$	Prozessparameter zur Beschreibung der Variation des Steilheitskoeffizienten K eines MOS-Transistors
A_v	-	Spannungsverstärkung des Vorverstärkers des in dieser Arbeit entworfenen 1-Bit-Komparators
A_VT	$mV \cdot \mu m$	Prozessparameter zur Beschreibung der Variation der Schwellspannung U_th eines MOS-Transistors
C_GD	F	Gate-Drain-Kapazität eines MOS-Transistors
C_GS	F	Gate-Source-Kapazität eines MOS Transistors
$C_\mathrm{L,csi}$	F	Lastkapazität am Ausgang eines strombegrenzten CMOS-Inverters
C_S	F	Kapazität des Speicherkondensators zur analogen Kalibrierung eines Stromquellentransistors
C_x	F	Parasitäre Gesamtkapazität am internen Knoten x einer Stromzelle
Δ	-	Quantisierungsschritt eines D/A-Wandlers
ϵ_Q	-	Quantisierungsfehler eines D/A-Wandlers
$\eta_\mathrm{Q}\,(N)$	%	Ersparnis an Schaltern für ein N-Bit DEM-Dekodernetzwerk
f	Hz	Frequenz
f_in	Hz	Eingangssignalfrequenz
$f_\mathrm{in,max}$	Hz	Maximale Eingangssignalfrequenz
f_p	Hz	Polfrequenz
f_s	Hz	Abtastfrequenz eines zeitdiskreten Übertragungssystems
$F(x)$	-	Verteilungsfunktion der allgemeinen Normalverteilung $\mathcal{N}\left(\mu_x, {\sigma_x}^2\right)$ einer stetigen Zufallsvariable x
$f(x)$	-	Wahrscheinlichkeitsdichtefunktion der allgemeinen Normalverteilung $\mathcal{N}\left(\mu_x, {\sigma_x}^2\right)$ einer stetigen Zufallsvariable x
g_m	S	Kleinsignal-Transkonduktanz eines Transistors
$g_\mathrm{m,bg}$	S	*Back-Gate*-Kleinsignaltranskonduktanz eines Transistors

Symbol	Einheit	Beschreibung
G_T	S	Transkonduktanz des Transkonduktanzverstärkers der analogen Kalibrierschleife in Abbildung 6.4
I_0	A	LSB-Strom eines stromgesteuerten D/A-Wandlers
I_a	A	Ausgangsstrom des Spannungsverstärkers der analogen Kalibrierschleife in Abbildung 6.4
$I_\mathrm{bias,div}$	A	Arbeitspunktstrom der Fußpunktstromquelle der Dividierschaltung in dieser Arbeit
$I_\mathrm{bias,div1}$	A	Anteil des Arbeitspunktstroms $I_\mathrm{bias,div}$ im linken Pfad der Dividierschaltung in dieser Arbeit
$I_\mathrm{bias,div2}$	A	Anteil des Arbeitspunktstroms $I_\mathrm{bias,div}$ im rechten Pfad der Dividierschaltung in dieser Arbeit
I_cal	A	Kalibrierstrom der Hilfsstromquelle in einer Stromzelle des stromgesteuerten D/A-Wandlers
$\lvert I_\mathrm{cal,tot} \rvert$	A	Absolutwert des Gesamt-Kalibrierstroms der Hilfsstromquelle in einer Stromzelle des stromgesteuerten D/A-Wandlers
ΔI_cal	A	Kalibrierstromschritt der Hilfsstromquelle in einer Stromzelle des stromgesteuerten D/A-Wandlers
I_cml	A	Fußpunktstrom der CML-Bufferstufen des implementierten D/A-Wandlers
$I_\mathrm{ctrl,csi}$	A	Kontrollstrom der auf einem strombegrenzten CMOS-Inverter basierenden Verzögerungszelle in dieser Arbeit
$I_\mathrm{ctrl,lin}$	A	Linearer Kontrollstrom am Eingang der in dieser Arbeit entworfenen Dividierschaltung zur analogen Vorverzerrung der Verzögerungszeit des strombegrenzten CMOS-Inverters
I_D	A	Drainstrom eines MOS Transistors
I_err	A	Fehlerstrom der Hauptstromquelle einer gesteuerten Stromzelle
I_n	A	Äquivalenter Rauschstrom zur Modellierung des Rauschverhaltens der in der analogen Kalibrierung verwendeten Schaltungskomponenten
I_ref	A	Referenzstrom für die Kalibrierung der Stromzellen eines D/A-Wandlersegments
I_fs	A	Vollaussteuerstrom, engl. *full-scale current* des zu kalibrierenden binären D/A-Wandlersegments
I_ges	A	Gesamtausgangsstrom eines stromgesteuerten D/A-Wandlers
$I_\mathrm{g,bg}$	A	Gate-/*Back-Gate*-Strom zum Umladen des Speicherkondensators C_S zur analogen Kalibrierung eines Stromquellentransistors
I_in	A	Gesamteingangsstrom der entworfenen Referenzstromquelle zur Erzeugung binärer Referenzströme
I_lsb	A	Gesamtstrom aller LSB-Ausgangspfade in dem vereinfachten Modell der entworfenen Referenzstromquelle
I_msb	A	Strom des MSB-Ausgangspfads in dem vereinfachten Modell der entworfenen Referenzstromquelle

Symbol	Einheit	Beschreibung
$I_{\mathrm{sw,tot}}$	A	Geschalteter Gesamtstrom in einem stromgesteuerten D/A-Wandler beim Übergang zwischen zwei digitalen Eingangsworten
I_{tail}	A	Ausgangsstrom der Hauptstromquelle in einer Stromzelle des stromgesteuerten D/A-Wandlers
K	$\mathrm{A/V^2}$	Steilheitskoeffizient eines MOS-Transistors ($K_{\mathrm{n,p}} = \mu_{\mathrm{n,p}} C'_{\mathrm{ox}} \frac{W}{L}$)
k	% (dB)	Klirrfaktor eines Signals, engl. *Total Harmonic Distortion* (THD)
K_{I}	$\mathrm{s^{-1}}$	Verstärkung eines Integrierglieds ($K_{\mathrm{I}} = 1/T_{\mathrm{N}}$)
L	m	Kanallänge eines MOS-Transistors
M_{cal}	-	Anzahl der Konvertierungsschritte eines redundanten SAR-Algorithmus mit Auflösung N_{cal}
$\mu_{\mathrm{I_{err}}}$	A	Mittelwert des Fehlerstroms I_{err} der Hauptstromquelle in einer Stromzelle des stromgesteuerten D/A-Wandlers
N	Bit	Eingangswortauflösung, Anzahl an Bits des digitalen Eingangsworts eines D/A-Wandlers oder eines D/A-Wandlersegments
N_{cal}	Bit	Auflösung der in dieser Arbeit entworfenen digitalen Hintergrundkalibrierung
N_{therm}	Bit	Anzahl thermometerkodierter Bits in einem N-Bit-D/A-Wandler
ω	$\mathrm{rad{\cdot}s^{-1}}$	Kreisfrequenz
P_{aux}	W	Zusätzliche Leistungsaufnahme einer Stromzelle, welche nicht zur Erzeugung des Ausgangssignals beiträgt
$p\left(\epsilon_Q\right)$	-	Wahrscheinlichkeitsdichtefunktion des Quantisierungsfehlers ϵ_Q
φ_1	-	Kalibrierphase der analogen Kalibrierprozedur eines Stromquellentransistors
φ_2	-	Haltephase der analogen Kalibrierprozedur eines Stromquellentransistors
$\Phi(z)$	-	Verteilungsfunktion der Standardnormalverteilung $\mathcal{N}(0,\,1)$ einer stetigen, normierten Zufallsvariable $z = x - \mu_x \sigma_x$
P_{n}	W	Rauschleistung
P_Q	W	Mittlere Leistung des Quantisierungsfehlersignals ϵ_Q
P_{sig}	W	Ausgangssignalleistung
P_{sin}	W	Leistung eines Sinus-Signals
P_{tot}	W	Gesamtleistungsaufnahme eines Systems
Q_{P}	-	Steuerbit am Ausgang des CMOS-Latches des in dieser Arbeit entworfenen 1-Bit-Komparators
Q_{sw}	-	Gesamtzahl von Kreuzschaltern im Netzwerk des in dieser Arbeit untersuchten DEM-Dekoders
r_0	Ω	Kleinsignal-Ausgangswiderstand eines MOS-Transistors
R_1	Ω	Unterer Rückkoppelwiderstand im Widerstandsnetzwerk des Spannungsverstärkers der analogen Kalibrierschleife in Abbildung 6.4

Symbol	Einheit	Beschreibung
R_2	Ω	Oberer Rückkoppelwiderstand im Widerstandsnetzwerk des Spannungsverstärkers der analogen Kalibrierschleife in Abbildung 6.4
R_{cml}	Ω	Lastwiderstand der CML-Bufferstufen des implementierten D/A-Wandlers
R_{L}	Ω	Kombinierter (interner und externer) Lastwiderstand eines stromgesteuerten D/A-Wandlers $R_{\mathrm{L}} = R_{\mathrm{L,int}} + R_{\mathrm{L,ext}}$
R_{TIA}	Ω	Rückkoppelwiderstand des Transimpedanzverstärkers der analogen Kalibrierschleife in Abbildung 6.4
R_{u}	Ω	Einheitswiderstand der R-2R-Struktur in der entworfenen Referenzstromquelle zur Erzeugung binärer Referenzströme
$R_{\mathrm{u,0}}$	Ω	Idealer Einheitswiderstand ohne Widerstands-Mismatch in der R-2R-Struktur des vereinfachten Modells der entworfenen Referenzstromquelle
$R_{\mathrm{u,1}}$	Ω	Einheitswiderstand mit Widerstands-Mismatch in der R-2R-Struktur des vereinfachten Modells der entworfenen Referenzstromquelle
$\sigma_{\mathrm{I_0}}$	A	Standardabweichung des LSB-Stroms I_0 eines stromgesteuerten D/A-Wandlers
$\sigma_{\mathrm{I_{err}}}$	A	Standardabweichung des Fehlerstroms I_{err} der Hauptstromquelle in einer Stromzelle des stromgesteuerten D/A-Wandlers
$\sigma_{\mathrm{I_{msb}}}$	A	Standardabweichung des MSB-Stroms I_{msb} in dem vereinfachten Modell der entworfenen Referenzstromquelle
$\sigma_{\mathrm{I_{msb},max}}$	A	Maximal zulässige Standardabweichung des MSB-Stroms I_{msb} in dem vereinfachten Modell der entworfenen Referenzstromquelle
$\sigma_{\mathrm{R_u}}$	Ω	Standardabweichung des Einheitswiderstands der R-2R-Struktur in der entworfenen Referenzstromquelle zur Erzeugung binärer Referenzströme
$\sigma_{\mathrm{R_{u,1}}}$	Ω	Standardabweichung des Einheitswiderstands der R-2R-Struktur in dem vereinfachten Modell der entworfenen Referenzstromquelle
$\sigma_{\mathrm{U_{ref}}}$	V	Standardabweichung der Referenzspannung am Ausgangsknoten der R-2R-Struktur in der entworfenen Referenzstromquelle zur Erzeugung binärer Referenzströme
$\sigma_{\mathrm{U_{ref,1}}}$	V	Standardabweichung der Referenzspannung am Ausgangsknoten der R-2R-Struktur in dem vereinfachten Modell der entworfenen Referenzstromquelle
T	s	Periodendauer
t	s	Zeit
τ_{az}	s	Zeitkonstante zur Umladung der Offset-Kondensatoren $\mathrm{C_{az}}$ des Vorverstärkers des in dieser Arbeit entworfenen 1-Bit-Komparators
T_{cal}	s	Periodendauer des Taktsignals zur Kalibrierung des entworfenen D/A-Wandlers

Symbol	Einheit	Beschreibung
t_d	s	Verzögerungszeit einer Verzögerungszelle
Θ	-	Abstrakte Größe zur Repräsentation eines beliebigen physikalischen Ausgangssignals eines D/A-Wandlers
Θ_FS	-	Dynamischer Aussteuerbereich, engl. *full-scale dynamic range*, eines D/A-Wandlers
T_N	s	Nachstellzeit eines Integrierglieds ($T_\mathrm{N} = 1/K_\mathrm{I}$)
T_{N_2}	s	Nachstellzeit des Integrierglieds in der analogen Kalibrierung für ein binärkodiertes D/A-Wandlersegment
T_{N_1}	s	Nachstellzeit des Integrierglieds in der analogen Kalibrierung für ein thermometerkodiertes D/A-Wandlersegment
$U_{\mathrm{a},1}$	V	Ausgangsspannung des Transimpedanzverstärkers, bezogen auf die Referenzspannung $U_{\mathrm{ref,bg}}$ der analogen Kalibrierschleife in Abbildung 6.4
$U_{\mathrm{a},2}$	V	Ausgangsspannung des Spannungsverstärkers, bezogen auf die Referenzspannung $U_{\mathrm{ref,bg}}$ der analogen Kalibrierschleife in Abbildung 6.4
U_bg	V	*Back-Gate*-Spannung eines MOS-Transistors
$U_\mathrm{bias,cml}$	V	Arbeitspunkt-Gatespannung des Fußpunktstromquellentransistors der CML-Bufferstufe des implementierten D/A-Wandlers
$U_\mathrm{bias,div}$	V	Arbeitspunktspannung der Dividierschaltung in dieser Arbeit
U_c	V	Kompensationsspannung auf den Offset-Kondensatoren $\mathrm{C_{az}}$ des Vorverstärkers des in dieser Arbeit entworfenen 1-Bit-Komparators
$U_\mathrm{cl,csi}$	V	Spannungsabfall über dem Lastkondensator $\mathrm{C_{L,csi}}$ am Ausgang des entworfenen strombegrenzten CMOS-Inverters
U_cm	V	Gleichtaktspannung am Ausgang des Vorverstärkers des in dieser Arbeit entworfenen 1-Bit-Komparators
U_ctrl	V	Kontrollspannung der CML-Bufferstufen des implementierten D/A-Wandlers
U_DD	V	Versorgungsspannung der CMOS-Logik
U_DS	V	Drain-Source-Spannung eines MOS-Transistors
U_GS	V	Gate-Source-Spannung eines MOS-Transistors
$U_\mathrm{i,cmp}$	V	Eingangsspannung des Vorverstärkers des in dieser Arbeit entworfenen 1-Bit-Komparators
$U_\mathrm{in,r2r}$	V	Spannung auf dem Eingangsknoten der $R/2R$-Struktur in der entworfenen Referenzstromquelle
U_off	V	Eingangsbezogene Offset-Spannung des Vorverstärkers des in dieser Arbeit entworfenen 1-Bit-Komparators
U_out	V	Ausgangsspannung eines stromgesteuerten D/A-Wandlers
$U_\mathrm{o,cmp}$	V	Ausgangsspannung des Vorverstärkers des in dieser Arbeit entworfenen 1-Bit-Komparators
$U_\mathrm{out,r2r}$	V	Von U_ref abgeleitete, lokale Spannungen an den Ausgangsknoten der R-2R-Struktur in der entworfenen Referenzstromquelle

Symbol	Einheit	Beschreibung
U_{ref}	V	Referenzspannung zur Erzeugung der lokalen Spannungen $U_{\mathrm{out,r2r}}$ an den Ausgangsknoten der R-2R-Struktur in der entworfenen Referenzstromquelle
$U_{\mathrm{ref},0}$	V	Ideal angepasste Referenzspannung am Ausgangsknoten der R-2R-Struktur in dem vereinfachten Modell der entworfenen Referenzstromquelle
$U_{\mathrm{ref},1}$	V	Fehlangepasste Referenzspannung am Ausgangsknoten der R-2R-Struktur in dem vereinfachten Modell der entworfenen Referenzstromquelle
$U_{\mathrm{ref,cml}}$	V	Referenzspannung zur Regelung des Fußpunktstroms der CML-Bufferstufen des implementierten D/A-Wandlers
$U_{\mathrm{ref,bg}}$	V	Referenzspannung der analogen Kalibrierschleife in Abbildung 6.4
U_{th}	V	Schwellspannung eines MOS Transistors
U_{x}	V	Spannung des internen Knotens x der entworfenen Stromzelle
W	m	Kanalweite eines MOS-Transistors
x	-	Kalibrierbereich der Hilfsstromquelle in einer gesteuerten Stromzelle, normiert auf die Standardabweichung des Fehlerstroms $\sigma_{\mathrm{I_{err}}}$ ihrer Hauptstromquelle
Y	-	Zufallsereignis mit Wahrscheinlichkeit $P(Y)$, dass mindestens eine der Stromzellen eines D/A-Wandlersegments nicht vollständig kalibriert werden kann, weil der Fehlerstrom der Hauptstromquelle den Kalibrierbereich x der Hilfsstromquelle überschreitet
ϑ	-	Bruchteil eines LSB-Schritts, der das Entwurfsziel für eine maximal zulässige DNL ausdrückt
ζ	-	Konfidenzintervall zur Bewertung eines D/A-Wandlers als vollständig kalibrierbar anhand eines Kriteriums, normiert auf die Standardabweichung der Normalverteilung des zugrunde liegenden Kriteriums
$\underline{Z}_{\mathrm{out}}$	Ω	Kleinsignal-Ausgangsimpedanz einer Schaltung

1 Einleitung

1.1 Motivation

Die stark wachsende Zahl von mobilen Endgeräten und dabei gleichzeitig stetig steigende Datenvolumen pro Teilnehmer führten bereits in den vergangenen Jahren immer wieder zu Engpässen in der Datenübertragung der 4G- und 5G-Kommunikationsnetze. Trotz der sehr hohen Bandbreiten, die die neuesten Mobilfunkstandards bereits heutzutage erreichen, ist die individuelle Datenrate eines Endgeräts allein aufgrund der Anzahl der Teilnehmer, unter denen die Netzkapazität aufgeteilt werden muss, abhängig von Ort und Zeit teilweise stark begrenzt und sehr unterschiedlich. Die sich immer rasanter entwickelnden Trends in der privaten Datenkommunikation, allen voran die mittlerweile sehr stark genutzte Videotelefonie oder auch der Konsum verschiedenster Dienste im „Streaming-on-demand"-Bereich scheinen dabei zusätzliche Netzkapazitäten, welche die fortschrittlichen Technologien mit immer effizienteren Modulationsverfahren und immer leistungsfähigerer Hardware ermöglichen, nahezu augenblicklich aufzuzehren, sobald sie zur Verfügung stehen.

Aus diesem Grund müssen die Zuverlässigkeit und Verfügbarkeit der Mobilfunknetze auch nach Einführung des aktuellen, sehr leistungsfähigen 5G-Standards vor allem für mobile Kommunikationssysteme mit hohen Sicherheitsanforderungen, wie der Car2Car- und Car2X-Kommunikation im Bereich des autonomen Fahrens, kontinuierlich weiterentwickelt und ausgebaut werden. Darüber hinaus legen die Datenkommunikationsnetze der Zukunft auch die Grundlagen für vollkommen neuartige Anwendungen im Bereich des Internets der Dinge, engl. *Internet of Things* (IoT) wie Industrie 4.0 oder Telechirurgie, welche vollkommen neue und bisher nicht adressierte Anforderungen formulieren. Hierzu gehört beispielsweise eine extrem niedrige Latenz der gesamten Signalverarbeitungskette und der ihr zugrunde liegenden Hardware zur Sicherstellung der Echtzeitfähigkeit eines Kommunikationssystems. Nicht zuletzt schwebt bei allen Herausforderungen, denen es zur Sicherung des technischen Fortschritts zu begegnen gilt, die Bedrohung durch den Klimawandel wie ein Damoklesschwert über den Gesellschaften des 21. Jahrhunderts. Mit der erwartbaren weiterhin starken Zunahme der mobilen Datenkommunikation in naher Zukunft [Feh11] ist daher für jede Neuentwicklung die Ausschöpfung aller technischen Möglichkeiten zur Verbesserung und Optimierung der Energieeffizienz das oberste Gebot.

Die mobilen Kommunikationssysteme der Zukunft müssen daher eine Vielzahl schwer vereinbarer Anforderungen miteinander in Einklang bringen. Um die extrem hohen Datenraten künftig weiterhin bedienen zu können, ohne den Energieverbrauch der gesamten mobilen Kommunikationsinfrastruktur in die Höhe zu treiben, sind Modulationsverfahren mit hoher spektraler Effizienz, wie 256-QAM (Quadraturamplitudenmodulation, engl. *Quadrature Amplitude Modulation*) oder 1024-QAM in Verbindung mit Orthogonalem Frequenzmultiplexing, engl. *Orthogonal Frequency-Division Multiplexing* (OFDM)-Modulation, unabdingbar. Diese Modulationsverfahren erfordern ein hohes Maß an Präzision und Linearität der im Basisband verwendeten Hardware. Gleichzeitig werden durch Verwendung neuer, freier Frequenzbänder im mm-Wellen-Bereich, wie dem D-Band bei einer Trägerfrequenz von 140 GHz, auch die Bandbreitenanforderungen in der Basisbandverarbeitung immer weiter steigen und liegen bereits in einigen Bändern des aktuellen 5G-Mobilfunkstandards im Bereich mehrerer hundert Megahertz [GPP19].

Im Rahmen der vorliegenden Arbeit wurde ein stromgesteuerter Nyquist-Digital-Analog-Wandler (D/A-Wandler)[1] entworfen und untersucht, welcher für eine Vielzahl verschiedener Anwendungen eingesetzt werden kann. Die Klasse der stromgesteuerten Wandler zeichnet sich hauptsächlich durch eine hohe maximale Abtastrate aus, welche auf den schaltungstechnischen Eigenschaften ihrer individuellen Funktionsbaugruppen basiert. Darüber hinaus sind stromgesteuerte D/A-Wandler in der Lage, bei moderaten Auflösungen hohe Ausgangssignalleistungen zu erreichen, welche erforderlich sind, um niederohmige Lasten zu treiben. Sie bestehen im Wesentlichen aus einem komplexen Array von Stromquellen und einer großen Zahl von mit hoher Taktrate angesteuerten Stromschaltern.

1.2 Ziele der vorliegenden Arbeit

Auf dem Gebiet der stromgesteuerten D/A-Wandler lassen sich drei Forschungsströmungen klar voneinander differenzieren, welche sich maßgeblich an den Fehlermechanismen orientieren, die in den internen Funktionsbaugruppen der Wandler auftreten können und deren Auswirkungen auf die Ausgangssignalqualität es zu minimieren gilt. Abbildung 1.1 fasst die wesentlichen Forschungsgebiete und ihre Schnittmengen grafisch zusammen.

1. In der Literatur findet sich eine Vielzahl von Arbeiten, welche sich mit der Optimierung der Linearität von stromgesteuerten D/A-Wandlern beschäftigen, um deren effektive Auflösung und somit auch deren Quantisierungsrauschen bestmöglich zu minimieren. Mithilfe verschiedener digitaler Kalibrierverfahren wurden in den vergangenen Jahren Auflösungen von bis zu 16 Bit erreicht [Vel14; Eng15; Lin18]. Diese liegen zwar immer noch weit unter der maximalen erreichbaren Auflösung anderer Architekturen wie den überabtastenden Delta-Sigma-Modulatoren, allerdings vereinen stromgesteuerte D/A-Wandler ihre relativ gute Linearität mit einer vergleichsweise hohen Abtastrate. Aufgrund dieser Kombination von Eigenschaften sind stromgesteuerte D/A-Wandler prädestiniert für die Basisband-Signalverarbeitung in zukünftigen mobilen Kommunikationssystemen. Die Optimierung der Linearität mithilfe aufwendiger Kalibrierverfahren als eigenständiges Forschungsfeld hat zwar eine Vielzahl verschiedener Lösungen hervorgebracht, welche teils auf sehr unterschiedlichen Prinzipien beruhen, jedoch beschränken sich die allermeisten der veröffentlichten Arbeiten auf die Implementierung von Vorabkalibrierungen [CG03; Rad05a; Rad08; Muk16; Li23], bei denen ein D/A-Wandler mithilfe einer je nach Genauigkeitsanforderung und Komplexität der Kalibrierung mehr oder weniger lang andauernden Kalibrierprozedur während des Aufwachvorgangs kalibriert werden muss, bevor die eigentliche Datenumsetzung beginnen kann. Darüber hinaus beschäftigt sich die überwiegende Zahl der Arbeiten des Standes der Technik ausschließlich mit der Implementierung verschiedenster digitaler Kalibrierverfahren, welche, getrieben von der Verfügbarkeit stark skalierter Technologieknoten mit immer kleineren Strukturgrößen, bei relativ geringem Linearitätsgewinn eine teils sehr hohe Komplexität annehmen [CG07b; Muk16; Li23].

[1] Nyquist-D/A-Wandler bezieht sich auf einen D/A-Wandler, welcher gemäß Nyquist-Shannon-Abtasttheorem bei einer Abtastrate f_s Signaldaten bis zu einer maximalen Frequenz von $f_\mathrm{in,max} = f_\mathrm{s}/2$ verarbeitet.

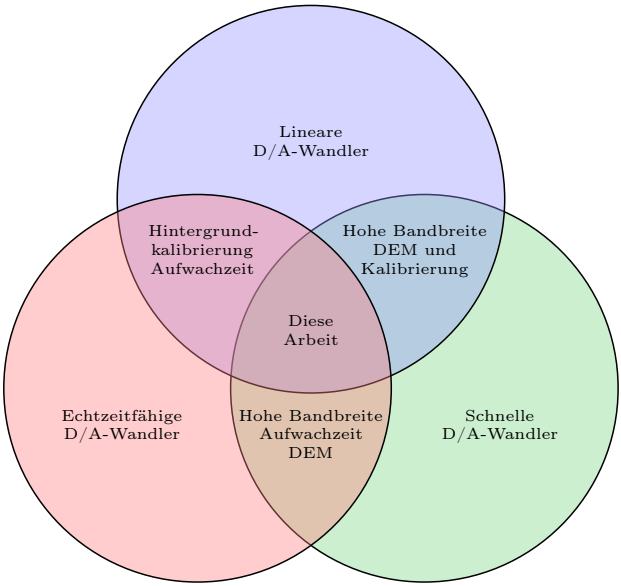


Abbildung 1.1: Hauptforschungsgebiete stromgesteuerter D/A-Wandler. Die Forschung orientiert sich an den wichtigsten auftretenden Fehlermechanismen in D/A-Wandlern und lässt sich unterteilen in 1. Optimierung der Linearität, 2. Optimierung der dynamischen Eigenschaften und 3. Optimierung der Aufwachzeit.

2. Ein weiteres, breit aufgestelltes Forschungsgebiet im Bereich der stromgesteuerten D/A-Wandler beschäftigt sich hauptsächlich mit der Optimierung ihrer dynamischen Eigenschaften. Die mit Abstand wichtigste Technik zur Verbesserung der Ausgangssignalqualität eines stromgesteuerten D/A-Wandlers bei dynamischer Ansteuerung an dessen Eingang ist der sogenannte dynamische Fehlerabgleich, engl. *Dynamic Element Matching* (DEM). Diese Technik wurde in der Literatur bereits intensiv diskutiert und ist auch anhand ihrer grundlegenden Wirkweise bereits sehr gut erforscht [Gal10]. Obwohl DEM daher bei vielen, hauptsächlich schnell abtastenden D/A-Wandlern bereits ein integraler Bestandteil des Signalerzeugungskonzepts ist, findet innerhalb dieses Forschungsgebiets nach wie vor ein intensiver wissenschaftlicher Diskurs statt [STH10; LHK14; AMM17; Lin18]. Der mit Abstand am meisten diskutierte Aspekt zur Verwendung von DEM im Rahmen des Entwurfs stromgesteuerter D/A-Wandler ist die Minimierung der Schaltaktivität der Stromschalter des Wandlers für beliebige digitale Eingangssignalsequenzen bei gleichzeitig hoher kombinatorischer Leistung des DEM-Algorithmus [Rud00; STH10; AMM17]. Die beiden Zielsetzungen bilden noch vor einer erhöhten Leistungsaufnahme des D/A-Wandlers bei Verwendung von DEM den bedeutendsten Zielkonflikt für schnellabtastende D/A-Wandler mit DEM dar. Eine Tabula rasa stellt hierbei die Integration einer Hintergrund-Stromzellenkalibrierung in den DEM-Dekoder zur Ermöglichung einer extrem kurzen Aufwachzeit des D/A-

Wandlers dar. Dieses vollkommen neue Implementierungsziel, welches den D/A-Wandler für eine echtzeitfähige Datenkommunikation qualifiziert, wurde im Rahmen der vorliegenden Arbeit erstmals formuliert und der wissenschaftliche Diskurs hierzu neu eröffnet.

3. Nicht zuletzt deutet sich in jüngster Vergangenheit ein zunehmendes Interesse an der Erforschung von Kalibrierverfahren mit sehr kurzer Kalibrierdauer an und es rückt die Implementierung verschiedenster Hintergrundkalibrierverfahren und speziell die Kalibrierung binär gewichteter D/A-Wandler in den Fokus der Wissenschaft [Sto19]. Diese Entwicklungen deuten darauf hin, dass D/A-Wandler als die kritischen Komponenten hinsichtlich der Bereitstellungszeit und Bandbreite eines echtzeitfähigen Kommunikationssystems mit sehr hoher Datenrate identifiziert wurden. Die Kalibrierdauer bewegt sich bei den bisher nur wenigen Arbeiten des Standes der Technik, welche diese Kennzahl explizit ausweisen, um mehrere Größenordnungen über der typischen Einschwingzeit der internen Schaltungen eines stromgesteuerten D/A-Wandlers, selbst wenn er in einer fortschrittlichen CMOS-Technologie (engl. *Complementary Metal-Oxide-Semiconductor*) implementiert ist [Muk16; Sto19]. Dieser Umstand verdeutlicht klar die Bedeutung der Kalibrierdauer des D/A-Wandlers für die Leistungsbewertung eines echtzeitfähigen Kommunikationssystems, vor allem wenn es sich nicht um eine Hintergrundkalibrierung, sondern um eine Vorabkalibrierung handelt. Ein weiterer wichtiger Schritt zur Harmonisierung der verschiedenen Entwurfsziele Linearität, Abtastrate und Echtzeitfähigkeit besteht, wie oben bereits angedeutet, in der gemeinsamen Integration einer Hintergrund-Stromzellenkalibrierung und eines DEM-Algorithmus in einem gesamtheitlichen Systemkonzept. Nur auf diese Weise ist es möglich, die hohe Effektivität einer Kalibrierung zur Linearisierung eines breitbandigen, jedoch intrinsisch nichtlinearen D/A-Wandlers gemeinsam mit der hauptsächlich bei hohen Signalfrequenzen wirkenden DEM-Technik zu nutzen, ohne dabei eine Verlängerung der Aufwachzeit des Wandlers um mehrere Größenordnungen hinzunehmen.

Wie oben beschrieben, wurden in der Literatur zahlreiche Arbeiten veröffentlicht, welche die Themenkomplexe des DEM und der Hintergrund-Stromzellenkalibrierung stromgesteuerter D/A-Wandler unabhängig voneinander behandeln. Auch wurden bereits diverse Arbeiten zur Implementierung eines DEM-Dekoders in Einheit mit einer separat implementierten Vorabkalibrierung der Stromquellen des D/A-Wandlers publiziert, in denen die Wirkweise und die hohe Effektivität der Kombination beider Techniken erfolgreich demonstriert werden konnten [SC16; Lin18].

Im Rahmen der vorliegenden Arbeit wurde das Gesamtkonzept eines D/A-Wandlers realisiert, welches einen Beitrag zum wissenschaftlichen Fortschritt der stromgesteuerten Wandler leistet, indem es die verschiedenen Zielsetzungen der oben beschriebenen Teilgebiete der aktuellen Forschung zu D/A-Wandlern miteinander in Einklang bringt. Wichtige Erkenntnisse sowohl zur konzeptionellen als auch zur technischen Umsetzung der Vereinheitlichung der DEM-Technik und einer Stromzellenkalibrierung im Hintergrundbetrieb wurden im Zuge der Erstellung dieser Arbeit gewonnen und erstmalig gesamtheitlich niedergeschrieben. Hierzu zählen nicht nur die Untersuchung der zur Integration einer asynchron getakteten Hintergrundkalibrierung in einen Hochgeschwindigkeits-DEM-Dekoder notwendigen systemtheoretischen und schaltungstechnischen Grundlagen. Es wurden auch wesentliche theoretische Erkenntnisse hinsichtlich der systematischen Optimierung der an der Kalibrierung

eines D/A-Wandlers beteiligten Schaltungen erlangt. Diese können in künftigen Arbeiten genutzt werden, um mithilfe mathematisch-analytischer Entwurfsverfahren eine Kalibrierung bereits vor Beginn des eigentlichen Entwurfsprozesses anhand der Zielspezifikationen eines D/A-Wandlers und der durch die verwendete Halbleitertechnologie gegebenen Prozessparameter hinsichtlich der benötigten Kalibriergenauigkeit einerseits und der mit ihr wachsenden Komplexität der Kalibrierschaltungen andererseits zu optimieren. Darüber hinaus konnten wichtige neue Erkenntnisse auf dem Gebiet der analogen Kalibrierverfahren erlangt werden, durch welche mit der vorliegenden Arbeit aufgrund der Verwendung der sogenannten *Back-Gate-Biasing*-Technik in einer analogen Kalibrierschleife die konkrete Schaltungsimplementierung einen zusätzlichen Freiheitsgrad zur Optimierung hinzugewinnt und auf diese Weise, im Vergleich zu den digitalen Kalibrierverfahren, sowohl in Bezug auf die Kalibriergenauigkeit als auch auf die Kalibriergeschwindigkeit und -komplexität in künftigen Arbeiten wieder eine größere Bedeutung erlangen könnte. Nicht zuletzt demonstriert die vorliegende Arbeit erstmalig die konkrete schaltungstechnische Umsetzung eines D/A-Wandlers mit hoher Abtastrate, welcher alle der oben genannten Optimierungstechniken implementiert und so miteinander in Einklang bringt, dass ein echtzeitfähiges Gesamtkonzept entsteht, das als Grundlage für eine Vielzahl weiterführender Arbeiten, beispielsweise im Bereich der Forschung zum künftigen 6G-Mobilfunkstandard, dienen kann.

Auf diese Weise sollen die Vorteile der DEM-Technik und der Stromzellenkalibrierung auch für echtzeitfähige D/A-Wandler nutzbar gemacht werden. Aufgrund der nahtlosen Integration der Kalibrierung im Hintergrundbetrieb des DEM-Dekoders ist eine nahezu instantane Bereitstellung der Wandlerfunktion in einem echtzeitfähigen Kommunikationssystem möglich, ohne die hierfür notwendige extrem kurze Aufwachzeit gegen die Linearität oder die Ausgangssignalqualität des D/A-Wandlers während des dynamischen Betriebs abwägen zu müssen. Ein weiterer Fokus dieser Arbeit liegt auf der Optimierung der Effektivität der Kalibrierung, ausgedrückt durch den mit ihr erzielten Linearitätsgewinn des D/A-Wandlers, und der Kalibrierdauer, sodass künftige D/A-Wandler nicht nur mit sehr kurzen Aufwachzeiten, sondern vor allem auch mit einer entsprechend kurzen Kalibrierdauer der Hintergrundkalibrierung sehr schnell ihre volle Linearität erreichen können. Somit leistet die vorliegende Arbeit einen wichtigen Beitrag zur Eliminierung des stromgesteuerten D/A-Wandlers als eine der wesentlichen Komponenten im kritischen Pfad echtzeitfähiger und breitbandiger mobiler Kommunikationssysteme.

1.3 Gliederung der Arbeit

Diese Arbeit ist wie folgt aufgebaut: Kapitel 2 gibt zunächst einen ausführlichen Einblick in die Grundlagen des Entwurfs von D/A-Wandlern. Das Kapitel beinhaltet im Rahmen einer groben Klassifikation die Einordnung der im Stand der Technik zu findenden Architekturen in den Gesamtkontext des D/A-Wandlerentwurfs und stellt dabei die spezifischen Vorteile der stromgesteuerten D/A-Wandler hinsichtlich der wichtigsten für den Einsatz in breitbandigen Kommunikationssystemen erforderlichen Spezifikationen wie einer moderaten bis hohen Auflösung und einer gleichsam moderaten bis hohen Abtastrate, heraus. Anschließend wird in Kapitel 2 zudem das Grundkonzept eines stromgesteuerten D/A-Wandlers diskutiert und aufbauend darauf werden die wichtigsten zur Charakterisierung von D/A-

Wandlern verwendeten Leistungszahlen, engl. *Figure of Merit* (FoM) definiert. Den Abschluss des Kapitels 2 bildet schließlich eine ausführliche Diskussion der in schnellabtastenden, stromgesteuerten D/A-Wandlern auftretenden Fehlermechanismen einschließlich derer spezifischer Auswirkungen auf die Ausgangssignalqualität, wobei konsequent zwischen den statischen und dynamischen Eigenschaften eines D/A-Wandlers differenziert werden soll.

In Kapitel 3 wird anschließend das Gesamtkonzept des in dieser Arbeit untersuchten D/A-Wandlers hergeleitet. Dieser entscheidende Schritt des Entwurfsprozesses beinhaltet zunächst eine ausführliche Analyse der zu untersuchenden Teilaspekte Segmentierung, Stromzellenkalibrierung, Dynamic Element Matching sowie des Entwurfskonzepts für den wichtigsten Funktionsblock des Wandlers innerhalb seiner analogen Signalerzeugung, den Stromzellen. Zu jedem der genannten Teilaspekte des Systemkonzepts erfolgt in Kapitel 3 eine umfangreiche Revision der gefundenen Veröffentlichungen in der Fachliteratur. Die verfügbaren Lösungsansätze werden mit den oben formulierten Zielen dieser Arbeit abgeglichen und es wird ein gesamtheitliches Systemkonzept abgeleitet, welches auch die Echtzeitfähigkeit des D/A-Wandlers einbezieht.

Die Kapitel 4 bis 6 behandeln schließlich im Hauptteil der vorliegenden Arbeit ausführlich alle Details der Implementierung des D/A-Wandlers. Dabei geht Kapitel 4 detailliert auf die Implementierung und schaltungstechnische Optimierung der gesteuerten Stromzellen ein, wobei während der Erarbeitung der für eine hohe Performanz des D/A-Wandlers zu betrachtenden Teilaspekte konsequent zwischen den verschiedenen Betriebsarten der Stromzellen unterschieden werden soll. Insbesondere wird hinsichtlich des Kleinsignalverhaltens auf die Optimierung der Ausgangsimpedanz der Stromzellen eingegangen und dabei die herausragende Bedeutung der parasitären Kapazitäten an deren internen Schaltknoten diskutiert. Darüber hinaus erfolgt eine umfangreiche Analyse des Verhaltens der Stromzellen im Großsignalbetrieb, wobei wiederum zwischen dem quasistatischen Betrieb der Zellen mit Großsignalaussteuerung am Ausgang und dem dynamischen Schaltbetrieb mit Großsignalaussteuerung der Steuereingänge der Zellen zu unterscheiden sein wird. Zu allen Teilkomplexen dieses Kapitels werden im Anschluss an die Analyse der Wirkmechanismen, die zur Verminderung der Ausgangssignalqualität des D/A-Wandlers führen, konkrete Implementierungsvorschläge erarbeitet, um diese Wirkmechanismen effektiv zu unterdrücken. Dabei werden bereits Messergebnisse einzelner Teilschaltungen des untersuchten D/A-Wandlerkonzepts zur Optimierung des Stromzellenverhaltens im Detail zu diskutieren sein.

Im Anschluss beschäftigt sich das Kapitel 5 mit der Implementierung eines DEM-Dekoders mit integrierter Hintergrund-Stromzellenkalibrierung, einem Konzept, das im Rahmen der vorliegenden Arbeit erstmalig demonstriert wird und maßgeblich zur Qualifizierung des stromgesteuerten D/A-Wandlers für die Verwendung in echtzeitfähigen Kommunikationssystemen beiträgt. Dabei werden neben einem makroskopischen Blick auf die Dekoderarchitektur und der Erläuterung des Grundprinzips auch umfangreiche theoretische Überlegungen zur Dimensionierung der verwendeten Hilfsstromquellen innerhalb der implementierten Kalibrierung gemacht, welche dabei helfen sollen, einen optimalen Kompromiss zwischen der initialen Fehlanpassung der Stromzellen, ihrer Bandbreite und der zur Linearisierung des D/A-Wandlers benötigten Kalibriergenauigkeit und -komplexität zu finden. Weiterhin werden in Kapitel 5 die Details zur Integration des Kalibrierverfahrens in den normalen Betrieb des DEM-Dekoders ausführlich besprochen und es werden wichtige

Aspekte hinsichtlich der Robustheit und Datenintegrität der Kalibriersteuerung innerhalb der Dekoderlogik erörtert.

Den Abschluss des Hauptteils der vorliegenden Arbeit bildet schließlich das Kapitel 6, in dem eine neuartige, rein analoge Hintergrund-Stromzellenkalibrierung basierend auf der in FD-SOI-CMOS-Prozessen (engl. *Fully-Depleted Silicon-on-Insulator* CMOS) verfügbaren *Back-Gate-Biasing*-Technologie diskutiert wird. Im Rahmen dieser Diskussion werden die vielfältigen Vorteile der analogen Hintergrundkalibrierung gegenüber den im Stand der Technik verwendeten digitalen Kalibrierverfahren herausgearbeitet und es werden die sich durch die Verfügbarkeit des *Back-Gate-Biasings* ergebenden Chancen zur technologischen Fortentwicklung der Hintergrund-Stromzellenkalibrierungen hinsichtlich ihres Linearitätsgewinns und der erreichbaren Kalibrierdauer in echtzeitfähigen D/A-Wandlern aufgezeigt. Insbesondere wird in Kapitel 6 ein detaillierter Vorschlag zur systematischen Optimierung der Kalibriergenauigkeit erarbeitet, welcher auf einer umfassenden mathematischen Analyse der zur Referenzstromerzeugung verwendeten Schaltungen gründet und es wird ein Schaltungskonzept erarbeitet, welches auch die Hintergrundkalibrierung rein binär gewichteter D/A-Wandler ermöglicht.

Im Schlussteil der vorliegenden Arbeit werden in Kapitel 7 schließlich umfangreiche Messergebnisse mehrerer integrierter Schaltkreise, engl. *Integrated Circuits* (ICs) vorgestellt, um die Machbarkeit des untersuchten Wandlerkonzeptes zu zeigen.

Dabei wird zunächst ein abschließender Gesamtüberblick über alle Teilsysteme des Wandlers gegeben, welcher gleichzeitig die Grundlage der nachfolgenden Erläuterungen zum erarbeiteten Test- und Verifikationskonzept bildet. Im Anschluss daran werden schließlich die detaillierten Ergebnisse der Charakterisierung sowohl des dynamischen als auch des statischen Verhaltens der implementierten ICs ausführlich diskutiert und in den Kontext des Standes der Technik eingebettet. Im Einklang mit den Zielsetzungen dieser Arbeit kommt hierbei der Effektivität der erforschten digitalen und analogen Hintergrund-Stromzellenkalibrierungen sowie dem Zusammenspiel dieser Kalibrierungen mit dem DEM-Algorithmus in einem vereinheitlichten Gesamtkonzept, welches die Echtzeitfähigkeit des zugrunde liegenden D/A-Wandlers erst ermöglicht, eine herausragende Rolle zu. Aus diesem Grund werden der Linearitätsgewinn des Wandlers und die erreichten Kalibrierdauern der beiden untersuchten Hintergrundkalibrierverfahren in einem zusätzlichen Vergleich mit den im Stand der Technik gefundenen Arbeiten zusätzlich und in einem separaten Kontext behandelt.

Nicht zuletzt werden in Kapitel 8 die Ergebnisse der Arbeit zusammengefasst und es wird ein Ausblick auf die weiterführenden Schritte gegeben, die nötig sind, um das erarbeitete Gesamtkonzept des echtzeitfähigen D/A-Wandlers für die breite Anwendung in zukünftigen Kommunikationssystemen zu ermöglichen.

1.4 Hinweise zur Arbeit

Die in den Schaltungsdiagrammen dieser Arbeit verwendeten Symbole entsprechen dem DIN-EN-60617-Standard (IEC-60617). In den verwendeten Transistorsymbolen wurden die Verbindungen der Bulk-Kontakte in der Regel nicht eingezeichnet, da sie die Lesbarkeit und damit das Verständnis der Schaltungsfunktionalität teils erheblich eingeschränkt hätten. Stattdessen sei an dieser Stelle der Hinweis gestattet, dass, insofern in einem Schaltbild die Verbindung eines Bulk-Kontaktes nicht explizit anders eingezeichnet ist, alle Bulk-Kontakte der dargestellten N-Kanal-MOS-Transistoren (N-MOS) an die globale Substrat- und Masseverbindung angeschlossen sind, während die Bulk-Kontakte der dargestellten P-Kanal-MOS-Transistoren (P-MOS) an die globale Versorgungsspannung U_{DD} der entsprechenden Schaltungen angebunden sind.

Darüber hinaus wurde in allen Schaltbildern zur Verbesserung der Lesbarkeit auf eine konsistente farbliche Kodierung der individuellen Funktionsbaugruppen geachtet. Insbesondere sind in den Diagrammen, welche Schaltungen auf Bauelementeebene darstellen, parasitäre Bauelemente grau dargestellt, während diejenigen Bauelemente, welche Teil der tatsächlichen Schaltungsimplementierung sind, schwarz oder ggf. farbig dargestellt werden.

2 Grundlagen des Entwurfs von Digital-Analog-Wandlern